

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

NOTIFICATION DE L'ENREGISTREMENT D'UN CHANGEMENT

(règle 92bis.1 et
instruction administrative 422 du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

MARTIN, Jean-Jacques
Cabinet Regimbeau
20, rue de Chazelles
F-75847 Paris Cedex 17
FRANCE

Date d'expédition (jour/mois/année) 08 mars 2001 (08.03.01)	NOTIFICATION IMPORTANTE
Référence du dossier du déposant ou du mandataire 340644/17742	
Demande internationale no PCT/FR00/00559	
Date du dépôt international (jour/mois/année) 07 mars 2000 (07.03.00)	

1. Les renseignements suivants étaient enregistrés en ce qui concerne:

☐ le déposant ☐ l'inventeur ☒ le mandataire ☐ le représentant commun

Nom et adresse

MARTIN, Jean-Jacques
Cabinet Regimbeau
26, avenue Kléber
F-75116 Paris
FRANCE

Nationalité (nom de l'Etat)

Domicile (nom de l'Etat)

no de téléphone

01-45-00-92-02

no de télécopieur

01-45-00-46-12

no de téléimprimeur

2. Le Bureau international notifie au déposant que le changement indiqué ci-après a été enregistré en ce qui concerne:

☐ la personne ☐ le nom ☒ l'adresse ☐ la nationalité ☐ le domicile

Nom et adresse

MARTIN, Jean-Jacques
Cabinet Regimbeau
20, rue de Chazelles
F-75847 Paris Cedex 17
FRANCE

Nationalité (nom de l'Etat)

Domicile (nom de l'Etat)

no de téléphone

01-44-29-35-00

no de télécopieur

01-44-29-35-99

no de téléimprimeur

3. Observations complémentaires, le cas échéant:

4. Une copie de cette notification a été envoyée:

☒ à l'office récepteur ☐ aux offices désignés concernés
☐ à l'administration chargée de la recherche internationale ☒ aux offices élus concernés
☒ à l'administration chargée de l'examen préliminaire international ☐ autre destinataire:

<p>Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse</p> <p>no de télécopieur (41-22) 740.14.35</p>	<p>Fonctionnaire autorisé:</p> <p>Sean Taylor</p> <p>no de téléphone (41-22) 338.83.38</p>
---------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

Référence du dossier du déposant ou du mandataire 340644/17742	POUR SUITE voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après A DONNER	
Demande internationale n° PCT/FR 00/ 00559	Date du dépôt international (jour/mois/année) 07/03/2000	(Date de priorité (la plus ancienne) (jour/mois/année) 08/03/1999
Déposant FRANCE TELECOM et al.		

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 2 feuilles.



Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

1. Base du rapport

- a. En ce qui concerne la **langue**, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.



la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.

- b. En ce qui concerne les **séquences de nucléotides ou d'acides aminés** divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :



contenu dans la demande internationale, sous forme écrite.



déposée avec la demande internationale, sous forme déchiffrable par ordinateur.



remis ultérieurement à l'administration, sous forme écrite.



remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.



La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.



La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

4. En ce qui concerne le titre,



le texte est approuvé tel qu'il a été remis par le déposant.



Le texte a été établi par l'administration et a la teneur suivante:

5. En ce qui concerne l'abrégé,



le texte est approuvé tel qu'il a été remis par le déposant



le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

6. La figure des dessins à publier avec l'abrégé est la Figure n°



suggérée par le déposant.



parce que le déposant n'a pas suggéré de figure.



parce que cette figure caractérise mieux l'invention.

5



Aucune des figures n'est à publier.

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

FR 00/00559

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G01R31/3185

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G01R

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A ✓	US 5 850 513 A (JEPPESEN III JAMES HENRY ET AL) 15 décembre 1998 (1998-12-15) abrégé; revendications 1-6; figures 1,,3C -----	1-21

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 mai 2000

Date d'expédition du présent rapport de recherche internationale

24/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Sarasua, L.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

/FR 00/00559

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5850513	A	15-12-1998	NONE

PATENT COOPERATION TREATY

From the
INTERNATIONAL PRELIMINARY EXAMINING AUTHORITY

To:

MARTIN, Jean-Jacques
CABINET REGIMBEAU
20, rue de Chazelles
F-75847 Paris Cedex 17
FRANCE

PCT

NOTIFICATION OF TRANSMITTAL OF INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Rule 71.1)

Date of mailing (day/month/year)

16.05.2001

Applicant's or agent's file reference
340644/17742

IMPORTANT NOTIFICATION

International application No.
PCT/FR00/00559

International filing date (day/month/year)
07/03/2000

Priority date (day/month/year)
08/03/1999

Applicant
FRANCE TELECOM et al.

1. The applicant is hereby notified that this International Preliminary Examining Authority transmits herewith the international preliminary examination report and its annexes, if any, established on the international application.
2. A copy of the report and its annexes, if any, is being transmitted to the International Bureau for communication to all the elected Offices.
3. Where required by any of the elected Offices, the International Bureau will prepare an English translation of the report (but not of any annexes) and will transmit such translation to those Offices.
4. REMINDER

The applicant must enter the national phase before each elected Office by performing certain acts (filing translations and paying national fees) within 30 months from the priority date (or later in some Offices) (Article 39(1)) (see also the reminder sent by the International Bureau with Form PCT/IB/301).

Where a translation of the international application must be furnished to an elected Office, that translation must contain a translation of any annexes to the International preliminary examination report. It is the applicant's responsibility to prepare and furnish such translation directly to each elected Office concerned.

For further details on the applicable time limits and requirements of the elected Offices, see Volume II of the PCT Applicant's Guide.

Name and mailing address of the IPEA/



European Patent Office
D-80298 Munich
Tel. +49 89 2399-0, Tx: 523656 epmu d
Fax: +49 89 2399-4465

Authorized officer:

DEL FRATE, A

Tel. +49 89 2399-7038



PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or Agent's file reference 340644/17742	FOR FURTHER ACTION	See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)
International application No. PCT/FR00/00559	International filing date (day/month/year) 07/03/2000	Priority date (day/month/year) 08/03/1999
International Patent Classification (IPC) or national classification and IPC G01R31/3185		
Applicant FRANCE TELECOM et al.		

1.	This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2.	<p>This REPORT consists of a total of 4 sheets including this title page.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e. sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Instruction 607 of Administrative Instructions of the PCT).</p> <p>These annexes consist of a total of 3 sheets.</p>
3.	<p>This report contains indications relating to the following items:</p> <ul style="list-style-type: none"> I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement according to Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 02/10/2000	Date of completion of this report 16.05.2001
Name and mailing address of the IPEA/ <div style="display: flex; align-items: center;"> <div> European Patent Office D-80298 Munich Tel. +49 89 2399-0, Tx: 523656 epmu d Fax: +49 89 2399-4465 </div> </div>	Authorized officer: Rath, R Telephone No. +49 89 2399 8950 <div style="text-align: right;"> </div>

I. Basis of the report

1. This report has been drawn up on the basis of the following elements (*the replacement sheets received by the receiving office in response to an invitation according to Article 14 are considered in the present report as "originally filed" and are not annexed to the report as they contain no amendments (Rules 70.16 and 70.17).*):

Description, pages:

1-3,5-14 as originally filed
4,4a received with fax of 12/04/2001

Claims, No.:

15 received with fax of 12/04/2001

Claims, pages:

16-18 as originally filed

Drawings, sheets:

1/3-3/3 as originally filed

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
☐ the language of publication of the international application (under Rule 48.3(b)).
☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
☐ filed together with the international application in computer readable form.
☐ furnished subsequently to this Authority in written form.
☐ furnished subsequently to this Authority in computer readable form.
☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

**INTERNATIONAL PRELIMINARY
EXAMINATION REPORT**

International application No. PCT/FR00/00559

4. The amendments have resulted in the cancellation of:

- ☐ the description, pages
- ☐ the claims, Nos.
- ☐ the drawings, sheets/fig .

5. ☐ This report has been written disregarding (some of) the amendments, which were considered as going beyond the description of the invention, as filed, as is indicated below (Rule 70.2(c)):

(All replacement sheets comprising amendments of this nature should be indicated in point 1 and attached to this report).

6. Additional observations, if necessary:

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty	Yes:	Claims	1-21
	No:	Claims	
Inventive Step	Yes:	Claims	1-21
	No:	Claims	
Industrial Applicability	Yes:	Claims	1-21
	No:	Claims	

2. Citations and explanations

see separate sheet

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

- SEPARATE SHEET

International application No PCT/FR00/00559

Two main processes for testing complex integrated logic circuits are known:

- a) the process for the automatic generation of test vectors based on a full scan path (full scan ATPG) is commonly used to test the fabrication of chips;
- b) "JTAG Boundary Scan" and defined by the "Joint Test Action Group" is IEEE standard 1149.1.

US 5 850 513 also discloses a system allowing the checking of operational data of a circuit, including a maintenance subsystem, a flash memory, a controller, a processing unit, a main memory module, a data path network, means forming a dual bus, programmable logic control means, an auxiliary data transfer nozzle, and a series of input/output modules.

Together, these components process blocks of data of microcodes. The elements such as associated in this document, do not allow testing of the integrated circuit without multiple connections. This document does not therefore afford a satisfactory solution to the particularly lengthy implementation of customary testing processes.

The aim of the invention is to resolve these various drawbacks, by proposing a process for testing integrated circuits not requiring the connection of all the inputs/outputs of this circuit to a tester and allowing an extended area, or even the entire circuit, it being possible moreover for this process to be carried out much faster than the known test processes.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

- SEPARATE SHEET

International application No PCT/FR00/00559

The combination of the characteristics of claim 1 is not included within the state of the art and does not follow therefrom in an obvious manner.

DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : G01R 31/3185	A1	(11) Numéro de publication internationale: WO 00/54067 (43) Date de publication internationale: 14 septembre 2000 (14.09.00)
--------------------------------------------------------------------------------------	-----------	----------------------------------------------------------------------------------------------------------------------------------------

(21) Numéro de la demande internationale: PCT/FR00/00559

(22) Date de dépôt international: 7 mars 2000 (07.03.00)

(30) Données relatives à la priorité:
99/02823 8 mars 1999 (08.03.99) FR(71) Déposant (pour tous les Etats désignés sauf US): FRANCE
TELECOM [FR/FR]; 6, place d'Alleray, F-75015 Paris (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (US seulement): BARTHEL, Dominique
[FR/FR]; 161, chemin du Ballois, F-38190 Bernin (FR).

(74) Mandataires: MARTIN, Jean-Jacques etc.; Cabinet Regimbeau, 26, avenue Kléber, F-75116 Paris (FR).

(81) Etats désignés: JP, KR, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

Avec rapport de recherche internationale.

(54) Title: METHOD FOR TESTING INTEGRATED CIRCUITS WITH MEMORY ELEMENT ACCESS

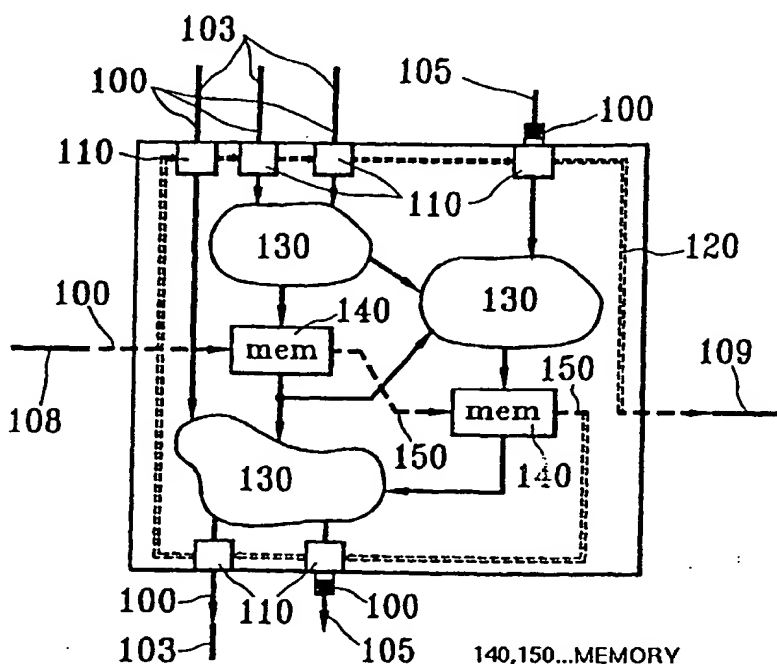
(54) Titre: PROCÉDE DE TEST DE CIRCUITS INTEGRES AVEC ACCES A DES POINTS DE MEMORISATION DU CIRCUIT

(57) Abstract

The invention concerns a method for testing an integrated circuit comprising memory elements (140) and a boundary scan chain (120) wherein on the memory elements (140) can be written and/or read on the memory elements via an access path (150) to the memory elements (140) from a terminal (108) external to the circuit. The invention is characterised in that it consists in activating the boundary scan chain (120) to impose and/or observe logic levels on the integrated circuit inputs/outputs (120).

(57) Abrégé

L'invention concerne un procédé pour tester un circuit intégré comprenant des points de mémorisation (140) et une chaîne de Boundary Scan (120), dans lequel on écrit et/ou on lit sur les points de mémorisation (140) par l'intermédiaire d'un chemin d'accès (150) aux points de mémorisation (140) depuis une borne extérieure (108) du circuit, caractérisé en ce que l'on active la chaîne de Boundary Scan (120) pour imposer et/ou observer des niveaux logiques sur les entrées/sorties (120) du circuit intégré.



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

Procédé de test de circuits intégrés avec accès à des points de mémorisation du circuit

La présente invention concerne les procédés et les dispositifs pour
5 tester les circuits intégrés ainsi que les circuits intégrés munis de moyens autorisant la réalisation de tests efficaces.

On connaît deux principaux procédés pour tester des circuits intégrés logiques complexes.

Un premier procédé, appelé « procédé de génération automatique
10 de vecteurs de test par chemin complet de balayage », ou « full scan ATPG » en anglais, est couramment utilisé pour tester la fabrication de puces.

Ce procédé consiste à injecter sur des broches du circuit intégré des signaux connus et à prélever sur des broches de sortie les valeurs obtenues,
15 pour les comparer à des valeurs attendues.

On utilise dans ce procédé un testeur dont des canaux sont reliés aux broches d'entrée-sortie du circuit intégré. Pour mettre en œuvre correctement ce procédé, il faut un testeur ayant un nombre de canaux égal au nombre de broches d'entrée-sortie du circuit.

20 Avec ce procédé, on sait tester en particulier une fonction logique combinatoire. Connaissant la combinatoire, on sait générer automatiquement les vecteurs logiques qui permettent de vérifier de manière quasi-exhaustive l'implémentation correcte de la combinatoire.

Cependant, lorsque la fonction du circuit intégré comprend des
25 éléments de mémorisation, on ne sait pas en général générer les vecteurs de test. Dans certains cas rares où l'on sait générer ces vecteurs malgré la présence de points de mémorisation, le nombre de vecteurs de test est très élevé, de sorte que l'on doit mettre en œuvre une séquence de test très longue, difficile à stocker en mémoire, difficile à manipuler, et nécessitant
30 beaucoup de temps sur testeur.

Pour éviter cet inconvénient dans le cas des circuits intégrés à

points de mémorisation, on sait mettre en place dans le circuit un chemin d'accès aux points de mémorisation qui permet de lire et d'écrire sur tous ces points de mémorisation, de telle façon que la fonction du circuit intégré est réduite, en commandant les points de mémorisation, à une fonction
5 combinatoire que l'on sait tester.

De manière courante, les points de mémorisation sont placés en série sur le chemin d'accès, ce chemin d'accès étant réservé au test. Ce chemin est appelé « chemin de balayage complet », ou « full scan path » en anglais. Ce chemin d'accès ajoute quelques entrées-sorties au circuit.

10 Ce premier procédé comporte un inconvénient majeur.

Il nécessite un accès physique, constitué par un canal du testeur, pour chaque entrée-sortie du circuit intégré. Or, de nos jours, le nombre d'entrées-sorties des circuits intégrés logiques dépasse couramment plusieurs centaines, et atteindra bientôt le millier, et les testeurs actuels ne
15 peuvent être réalisés en pratique qu'avec quelques centaines de canaux. Les testeurs actuels deviennent donc inadaptés aux circuits intégrés à tester.

Plus généralement, les testeurs sont d'autant plus coûteux que leur nombre de canaux est élevé.

20 Cet inconvénient est particulièrement aigu dans le cas de circuits de grande taille, qui sont les plus susceptibles de présenter des défauts de fonctionnement. Pour de tels circuits, on réalise le test directement sur une tranche de silicium, avant un montage du circuit en boîtier, long et coûteux, qui pourrait s'avérer inutile du fait que le circuit risque d'être défectueux. Un
25 tel test sur tranche se fait à l'aide d'une carte à pointes, dont le coût et la complexité de réalisation augmentent plus vite que le nombre de pointes, notamment en raison d'une contrainte de coplanarité des pointes.

Pour ces raisons, on met en œuvre cette méthode ATPG en ne reliant qu'une partie des broches d'entrée-sortie au testeur. Certaines
30 entrées-sorties restent donc non testées, au détriment de la qualité du test de fabrication, et des zones du circuit restent non testées.

On a ainsi représenté, sur la figure 3, un circuit testé avec ce procédé connu, sur lequel sont indiquées par la référence 10 les branches non connectées, et sur lequel les zones non testées ont été hachurées.

On connaît un second procédé de test de circuits intégrés, qui permet le contrôle et l'observation de niveaux logiques sur les entrées-sorties d'un circuit, même quand les interconnexions du boîtier ne sont pas accessibles physiquement. Ce procédé est utilisé notamment dans le cas d'un boîtier à bille monté en surface (boîtier BGA), ou encore dans le cas d'un circuit imprimé multi-couches.

10 Ce second type de test, appelé « JTAG Boundary scan » (balayage de la périphérie), et défini par le « Joint Test Action Group », standard IEEE 1149.1, concerne essentiellement le test des cartes imprimées et des soudures des circuits intégrés sur ces cartes. Ce standard IEEE 1149.1 prévoit un chemin d'accès aux entrées/sorties apte à se substituer à une
15 connexion physique directe sur les entrées/sorties.

Ce second type de test est mis en œuvre en ajoutant dans le circuit intégré et dans la carte imprimée qui le porte une logique spécifique à ce test qui permet, sous le contrôle d'un automate appelé contrôleur TAP (« Test Access Port controller » en anglais), de capturer le niveau logique présent
20 sur une entrée, et/ou d'imposer le niveau logique sur une sortie du circuit intégré. En mode normal, cette logique est transparente, aussi bien pour les entrées que pour les sorties.

Ainsi, les circuits intégrés d'une carte sont munis d'un chemin d'accès ayant la forme d'un boucle et reliant en série l'ensemble des
25 entrées/sorties du circuit considéré, et les boucles de chacun des circuits intégrés sont reliées en série.

La chaîne du Boundary Scan parcourt donc le composant auquel elle est intégrée, et parcourt également la carte recevant les composants. Une chaîne de Boundary Scan générale relie en série les chaînes de
30 Boundary Scan de chaque composant, de sorte que chaque plot d'entrée/sortie de chaque composant ainsi que chaque piste de la carte est

accessible depuis l'extérieur de la carte, par un même chemin depuis une borne spécifique de la carte, le transfert des données capturées ou à imposer s'effectuant en série dans ce chemin.

Par de telles dispositions, le Boundary Scan autorise également à
5 tester les interconnexions entre les circuits intégrés sur une carte. Dans ce cas, le vecteur de test est chargé en série dans le chemin de Boundary scan, puis émis sur les interconnexions à tester via des tampons de sortie des composants. Les résultats sont échantillonnés dans le Boundary scan, via les entrées des composants, puis sortis en série vers le testeur.

10 Dans un mode « test interne », adapté pour tester les composants eux-mêmes, un vecteur de test est chargé en série dans le chemin de Boundary Scan puis appliqué à la logique interne du circuit intégré. Le résultat est échantillonné dans le Boundary Scan Path, puis lu en série par le testeur.

15 Ce second procédé de test présente des inconvénients : il est de mise en œuvre particulièrement longue, notamment dans le mode interne où l'on teste les composants de la carte. De plus, ce procédé de test s'avère particulièrement inadapté au test des circuits intégrés avant leur montage, notamment pour tester les circuits intégrés comprenant des éléments de
20 mémorisation.

L'invention a pour but de résoudre ces différents inconvénients, en proposant un procédé de test de circuits intégrés ne nécessitant pas la connexion de toutes les entrées/sorties de ce circuit sur un testeur et permettant de tester une zone étendue, voire l'ensemble du circuit, ce
25 procédé pouvant en outre être réalisé beaucoup plus rapidement que les procédés de test connus.

En d'autres termes, l'invention se propose d'améliorer la couverture d'un test de fabrication de circuit intégré par rapport à la méthode connue d'ATPG full-scan, sans augmenter le nombre de canaux du testeur.

30 Ces buts sont atteints selon l'invention grâce à un procédé pour tester un circuit intégré comprenant des points de mémorisation et une chaîne de

Boundary Scan, dans lequel on écrit et/ou on lit sur les points de mémorisation par l'intermédiaire d'un chemin d'accès aux points de mémorisation depuis une borne extérieure du circuit, caractérisé en ce que l'on active la chaîne de Boundary Scan pour imposer et/ou observer des
5 niveaux logiques sur les entrées/sorties du circuit intégré.

D'autres caractéristiques, buts et avantages de l'invention apparaîtront à la lecture de la description détaillée qui va suivre, en référence aux figures annexées sur lesquelles :

- la figure 1 représente schématiquement un circuit intégré purement
10 combinatoire conforme à l'état de la technique ;

- la figure 2 représente un circuit intégré comportant des fonctions combinatoires et des éléments de mémorisation conforme à l'état de la technique ;

- la figure 3 représente le même circuit qu'à la figure 2, sur lequel on
15 a indiqué par des zones hachurées des zones non testées en employant un procédé ATPG de l'état de la technique ;

- la figure 4 représente un circuit intégré muni d'une chaîne de Boundary Scan dont des entrées et sorties ont été représentées de manière détaillée, conforme à l'état de la technique ;

20 - la figure 5 représente un circuit intégré selon l'invention dont un chemin d'accès à des éléments de mémorisation a été concaténé à un chemin de Boundary Scan ;

- la figure 6 représente un circuit intégré selon l'invention, conforme à celui de la figure 5, et dont on a représenté les moyens de connexion
25 entre le chemin d'accès aux éléments de mémorisation et le chemin de Boundary Scan.

Sur le circuit intégré de la figure 4, on a représenté trois parties principales : deux modules 20 et 30 d'entrée/sortie du Boundary Scan, et entre ces deux modules, une partie 40 formant le cœur du circuit intégré.

30 Les deux modules 20 et 30 représentés ici sont identiques l'un à l'autre. Chacun des deux modules 20 et 30 est placé en parallèle d'une

liaison directe entre une broche de connection et le cœur 40 de la puce.

On décrira seulement le module 20, le module 30 comportant les mêmes éléments que le module 20.

Le module 20 présente deux extrémités, chacune formée par un
5 multiplexeur 22, 24. Un premier 22 de ces deux multiplexeurs reçoit sur une liaison 23 un signal de commande appelé « signal shift », qui configure la cellule en « décalage » ou en « chargement ».

Dans le cas de la cellule 20 représentée à gauche sur la figure 4, le multiplexeur 22 est apte à recevoir sur sa première entrée 21 un signal de
10 broche, qui est par exemple un signal reçu d'une autre puce de la carte .

Sur une deuxième entrée 23 du multiplexeur 22, celui-ci reçoit un signal d'entrée SI, portant des données transférées dans la chaîne de Boundary Scan et destinées à être chargées par la cellule 20 si celle-ci est en mode « décalage ».

15 Entre les deux multiplexeurs 21 et 24, la cellule présente deux registres 25 et 26, dont l'un est un registre à décalage 25 qui délivre un signal de sortie SO destiné à être transité dans le Boundary Scan vers d'autres cellules d'entrée/sortie non représentées de la puce 40, ou encore vers d'autres puces.

20 Le registre à décalage 25 reçoit également un signal d'horloge noté ck et l'autre registre 26 reçoit un signal upd de mise à jour des verrous de sortie de la cellule 20, c'est à dire de mémoires de la cellule 20 aptes à former un niveau logique choisi de cette entrée ou de cette sortie du circuit intégré, lorsque cette cellule 20 est activée.

25 Le registre à décalage 25 délivre également un signal SO qui contient, pour certaines cellules, des informations relevées sur cette cellule et/ou représentatives de données enregistrées dans la cellule 20, éventuellement destinées à être analysées pour interpréter le test.

SI est donc l'entrée des données en série, SO la sortie des
30 données en série.

Le multiplexeur 24 situé à l'autre extrémité de la cellule 20, c'est à

dire entre la cellule 20 et le cœur 40 de la puce, reçoit un signal « mode » apte à commander la cellule 20 pour que le signal transmis par la cellule 20 au cœur de la puce 40 ne soit pas le signal reçu sur la broche 21 mais le signal constitué par le contenu des verrous de la cellule 20.

5 Les signaux SI et SO transitent dans le circuit intégré, de cellule d'entrée/sortie en cellule d'entrée/sortie sur l'ensemble de la boucle de Boundary scan reliant en série ces entrées/sorties.

De manière connue, un tel circuit intégré comporte un contrôleur TAP, non représenté, dont le rôle est de générer les signaux de commande
10 SHIFT, UPD, CK et MODE de la chaîne de Boundary Scan du circuit intégré.

Lors d'un test d'une carte le contrôleur TAP reçoit lui-même des signaux de commande circulant dans le chemin de Boundary scan de la carte. Ces signaux de commande transmettent au contrôleur TAP du circuit les instructions concernant des niveaux logiques à imposer sur certaines
15 cellules de son circuit intégré. A l'inverse, le contrôleur TAP transmet lui aussi dans le chemin de Boundary scan des niveaux logiques relevés sur certaines cellules.

Le circuit intégré selon l'invention, qui est représenté à la figure 5, comporte un ensemble de broches 100, associées chacune à une cellule
20 d'entrée/sortie 110. Les cellules 110 sont raccordées en série par un chemin périphérique 120 de Boundary Scan, représenté en double trait à tirets. Ce chemin périphérique 120 forme donc une boucle 110 qui parcourt le pourtour du circuit de cellule d'entrée/sortie 110 en cellule d'entrée/sortie 110.

25 Ce circuit intégré comporte des fonctions combinatoires 130 et des éléments de mémorisation 140. Les éléments de mémorisation 140 sont reliés entre eux en série par un chemin 150 qui permet d'accéder à ces mémoires depuis une broche extérieure 108. Ce chemin 150 permet de commander, lors d'un test, les mémoires 140 de manière directe depuis
30 l'extérieur du circuit.

Parmi les broches 110, certaines broches référencées 103 sont

reliées aux canaux d'un testeur non représenté et d'autres broches référencées 105 ne sont pas connectées au testeur. Les broches connectées 103 sont prolongées sur la figure 5 par un trait gras, tandis que les broches non connectées 105 ne sont munies que d'un court trait fin.

5 Conformément à l'invention, le test de ce circuit intégré est réalisé en agissant depuis l'extérieur sur les mémoires 140, tout en activant le chemin 120 de Boundary Scan.

On utilise le chemin 150 ou bien pour placer les mémoires 140 dans un état prédéterminé, ou bien pour relever leur état au cours du test.

10 Simultanément, on utilise le chemin 120 de Boundary scan pour imposer sur certaines entrées/sorties non connectés 105 les niveaux logiques prédéterminés ou pour relever des niveaux logiques à observer.

Ainsi, on agit sur les mémoires 140 par l'intermédiaire du chemin 150 et on agit sur les cellules 105 non connectées par l'intermédiaire du
15 chemin de Boundary Scan 120.

Dans ce mode de mise en œuvre de l'invention, on injecte dans les broches connectées 103 des signaux choisis directement par les canaux du testeur.

Le chemin de Boundary Scan 120 étant connecté au testeur, le
20 testeur envoie dans ce chemin un signal choisi spécifiquement pour activer certaines des autres cellules 105 qui sont non connectées et pour leur imposer un niveau logique prédéterminé.

En utilisant à la fois le chemin de Boundary Scan 120 et à la fois une connexion directe des broches 103, le testeur a accès à toutes les
25 broches 100 du circuit intégré. On peut donc appliquer tout vecteur de test souhaité sur un ensemble de broches qui englobe des broches connectées 103 et des broches non connectées 105.

On applique des niveaux prédéterminés à des groupes de broches d'entrée/sortie 100 en combinant une action par connexion directe sur
30 certaines broches à une action indirecte sur les entrées-sorties par l'intermédiaire du Boundary Scan 120.

L'invention prévoit également de n'agir directement sur aucune broche et de n'imposer ou lire les niveaux logiques des entrées/sorties que par l'intermédiaire du Boundary Scan, tout en agissant directement sur les éléments de mémoire 140 du circuit par un ou plusieurs accès directs à ces 5 mémoires 140.

Dans le cas d'un circuit à quinze éléments de mémoire par exemple, on peut adopter quinze chemins d'accès directs à chacune des mémoires, le Boundary Scan formant un seizième chemin de commande d'éléments du circuit. Bien entendu, il est également possible de placer quinze éléments 10 de mémoire en série sur un même chemin comme dans le cas de la figure 5.

Sur l'exemple de réalisation de la figure 5, le chemin d'accès 150 aux éléments de mémoire 140 est concaténé au chemin de Boundary Scan 120 de sorte que ces deux chemins forment une même chaîne sur laquelle sont placés en série à la fois les éléments de mémoire 140 et les cellules 15 d'entrée/sortie 110.

Ainsi, on agit sur les points de mémorisation 140 et sur les cellules d'entrée/sortie 110 avec la seule connexion 108 extérieure au circuit, en injectant les données en série dans cette chaîne.

A la figure 6, on a représenté un montage adapté à une telle 20 concaténation de la chaîne de Boundary Scan 120 et de la chaîne 150 d'accès direct aux mémoires 140. Ce montage préférentiel présente l'avantage de laisser le chemin de Boundary Scan 120 disponible au contrôleur TAP en dehors d'une mise en œuvre du procédé de test selon l'invention et de permettre, lors d'un test du circuit intégré réalisé 25 conformément à l'invention, d'activer le chemin de Boundary Scan 120.

Pour cela, la chaîne d'accès 150 aux mémoires 140 est reliée à la chaîne de Boundary Scan 120 par l'intermédiaire d'au moins un multiplexeur commandé par un signal de mode ATPG-mode, injecté depuis la broche 108.

30 De manière classique, la chaîne de Boundary Scan 120 comprend six liaisons. On a schématisé, sur la figure 6, le chemin de Boundary Scan

120 par un simple rectangle muni de six connexions correspondant à ces liaisons.

De même, on a représenté l'ensemble formé du chemin d'accès 150 avec ses éléments de mémorisation 140 par un simple rectangle
5 référencé 150.

On a représenté de façon détaillée la jonction entre la partie de chaîne de Boundary scan comprenant les cellules 110 en série, le contrôleur TAP 200, et le chemin d'accès 140 qui est appelé également ici chemin d'ATPG full scan par référence à l'art antérieur.

10 Ce raccordement est situé en aval du contrôleur TAP 200 sur la chaîne de Boundary Scan et en aval des points de mémorisation 140 sur le chemin d'accès 150.

Dans ce montage, la broche 108 forme l'extrémité extérieure d'un ensemble de quatre liaisons circulant parallèlement les unes aux autres sur
15 le chemin 150 jusqu'à cette jonction.

Ces quatre liaisons sont :

- une liaison ATPG-si apte à transmettre un signal porteur d'informations aux éléments de mémorisation 140 et aux cellules 110, commandant des états de certaines mémoires 140 ou des niveaux logiques
20 de certaines entrées/sorties 110 qui sont aptes à reconnaître les signaux qui leur sont destinés spécifiquement. Ce canal ATPG-si porte entre la broche 108 et sa jonction avec la chaîne de Boundary Scan les éléments de mémoire 140 disposés en série ;

- une liaison ATPG-se apte à transmettre au Boundary Scan un
25 signal de mise en configuration de « décalage » ou de « chargement » SE de cellules choisies du Boundary Scan ;

- une liaison CLOCK apte à transporter un signal d'horloge CK jusqu'aux différents éléments du Boundary Scan, et ;

- une liaison ATPG-mode apte à véhiculer un signal de
30 commande MODE indiquant si le Boundary Scan 120 est à relier au contrôleur 200 ou bien à la chaîne d'accès aux mémoires 150. Dans ce

dernier cas, la chaîne de Boundary Scan 120 est reliée en série à la chaîne ATPG 150.

La liaison ATPG-mode est reliée à cinq multiplexeurs (ou fonctions équivalentes) dont elle constitue à chaque fois un canal de commande.

Un premier multiplexeur 210 reçoit sur une première entrée le signal SI véhiculé sur la liaison ATPG-Si et reçoit sur une seconde entrée un signal d'entrée SI provenant du contrôleur TAP 200.

Un deuxième multiplexeur 220 reçoit sur ses deux entrées respectivement le signal d'horloge CK venant de la broche 108 et un autre signal d'horloge CK venant du contrôleur 200.

Un troisième multiplexeur 230 reçoit sur ses entrées respectivement le signal SE provenant de la broche 108 et le signal SHIFT venant du contrôleur 200.

Un quatrième multiplexeur 240 reçoit sur ses deux entrées respectivement le signal mode provenant du contrôleur 200 et un signal d'activation constant noté « 1 ».

Un cinquième multiplexeur 250 reçoit sur ses deux entrées respectivement le signal de mise à jour UPD provenant du contrôleur 200 et un signal d'activation constant noté « 1 ».

Lorsque le signal de mode qui est injecté dans la broche 108 sur la liaison ATPG-mode est à 0, les liaisons SI, MODE, Shift, CK et UPD du Boundary Scan 120 sont reliées, comme dans un circuit ordinaire, au contrôleur 200.

En d'autres termes, lorsqu'aucun signal de mode test activé n'est transmis dans la broche 108, le Boundary Scan 120 est relié à son dispositif de commande 200 prévu pour réaliser un test Boundary Scan courant.

Par contre, lorsqu'un signal d'activation de test est transmis sur le canal ATPG-mode de la broche 108, les canaux SI, CK, SHIFT du Boundary Scan 120 sont reliés respectivement aux signaux SI, CK, SE appliqués respectivement sur les liaisons ATPG-Si, Clock et ATPG-Se de la broche

108, tandis que les liaisons MODE et UPD du Boundary Scan 120 sont reliées aux valeurs constantes d'activation égales à 1.

Ainsi, lorsque la liaison ATPG-mode de la broche 108 reçoit un signal d'activation, le chemin de Boundary Scan 120 et les cellules 110 qu'il comprend sont commandés par les signaux SI, CK, et SE appliqués à la broche 108 depuis l'extérieur.

Dans ce même cas, le signal MODE et le signal UPD reçus par la chaîne de Boundary Scan 120 sont les signaux permanents d'activation de sorte que le contenu des verrous des cellules d'entrée/sortie du Boundary Scan est substitué aux signaux normalement prélevés sur les broches de ces cellules pendant le test selon l'invention.

On notera que le chemin d'accès 150 aux mémoires 140 est relié en permanence à l'entrée d'horloge de la broche 108, contrairement au Boundary Scan 120 qui est assujéti au signal d'horloge du contrôleur 200 ou de la broche 108 selon le contenu du signal de mode appliqué à la broche 108.

La sortie de la chaîne de Boundary Scan 120 forme une broche 109 et porte également une liaison reliant cette broche 109 au contrôleur 200, de sorte que sur le contrôleur 200 est rebouclé le signal de sortie SO du Boundary Scan 120.

Lors du test selon l'invention, un testeur connecté aux entrées ATPG-Se, Clock, ATPG-mode et ATPG-Si de la broche 108 active la chaîne concaténée comprenant les mémoires 140 en série avec les cellules 110, et applique un état choisi aux mémoires 140, impose un signal choisi sur des entrées/sorties 100 choisies du circuit intégré par l'intermédiaire de la chaîne de Boundary Scan, et relève des signaux obtenus sur des entrées/sorties 100 du circuit intégré par l'intermédiaire de la chaîne de Boundary Scan 120, ainsi que sur la broche 109.

On utilise donc lors du test du circuit intégré une logique présente dans le circuit et utilisée jusqu'à présent pour accéder à des entrées/sorties du circuit non accessibles en particulier lorsque ce circuit était monté sur

une carte. On augmente donc la couverture du test d'un circuit intégré logique complexe ayant de nombreuses entrées/sorties.

Quelques portes logiques supplémentaires sont ajoutées au circuit pour raccorder la chaîne de Boundary Scan 120 à la chaîne ATPG
5 full-scan, la mettre en mode non transparent et raccorder son horloge à l'horloge de test ATPG lorsque le test selon l'invention est mis en oeuvre.

Le testeur est avantageusement muni de quelques canaux branchés directement sur des broches d'entrée/sortie 100 du circuit.

Le testeur comporte alors un module pour injecter directement
10 dans des entrées-sorties reliées à ces canaux des signaux de test et pour recevoir des signaux sortant de ces entrées-sorties 100, et pour les comparer à des signaux attendus. Le testeur comporte alors un dispositif de commande de la chaîne de Boundary Scan 120 du circuit intégré qui est coordonné au module d'injection/réception directe pour générer des
15 vecteurs de test sur des ensembles comprenant à la fois des entrées-sorties 103 connectées directement au testeur et à la fois des entrées-sorties 105 connectées au testeur via la chaîne de Boundary Scan 120.

Dans le cas d'une telle association d'injections directes et d'injections par l'intermédiaire de la chaîne de Boundary Scan, le test
20 permet de tester l'ensemble des parties du circuit et s'avère particulièrement rapide, efficace, du fait notamment que l'on utilise un testeur qui présente un nombre de canaux acceptable et permet un test rapide et plus complet du circuit.

Le fait d'injecter des vecteurs de test par l'association d'une
25 injection directe dans les broches et d'une injection par l'intermédiaire de la chaîne de Boundary Scan peut même être adopté sans recourir à une intervention sur les points de mémorisation.

Le fait de concaténer les chaînes ATPG 150 et Boundary Scan 120 permet plus généralement d'agir sur les mémoires 140 et sur les
30 cellules d'entrée/sortie 110 par une même entrée 108, avec un même générateur de signaux.

Grâce à l'invention on augmente le nombre de points de contrôle et d'observation, et donc on améliore la couverture de test au voisinage des entrées-sorties laissées non connectées.

L'invention améliore la testabilité au voisinage des entrées-
s sorties bidirectionnelles, même celles connectées à un canal du testeur, car elle fournit un accès de test à un point intermédiaire qui selon la norme IEEE 1149.1 doit faire partie de la chaîne de Boundary Scan, à savoir le signal de direction.

REVENDICATIONS

1. Procédé pour tester un circuit intégré comprenant des points de mémorisation (140) et une chaîne de Boundary Scan (120), dans lequel on
5 écrit et/ou on lit sur les points de mémorisation (140) par l'intermédiaire d'un chemin d'accès (150) aux points de mémorisation (140) depuis une borne extérieure (108) du circuit, caractérisé en ce que l'on active la chaîne de Boundary Scan (120) pour imposer et/ou observer des niveaux logiques sur les entrées/sorties (120) du circuit intégré.
- 10 2. Procédé selon la revendication 1, caractérisé en ce que le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de Boundary Scan (120) sont activés simultanément.
3. Procédé selon la revendication 1 ou 2, caractérisé en ce que le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de
15 Boundary Scan sont activés par l'intermédiaire d'une ligne comprenant en série le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de Boundary Scan (120).
4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'on active la chaîne de Boundary Scan (120) par
20 l'intermédiaire d'un chemin d'activation (150) relié à la chaîne de Boundary Scan (120) en aval d'un contrôleur TAP (200).
5. Procédé selon la revendication 4, caractérisé en ce que le chemin d'activation (150) est relié à la chaîne de Boundary Scan (120) au moins par une porte logique (210, 220, 230, 240, 250) apte à relier, en fonction d'un
25 signal de commande (ATPG-mode), la chaîne de Boundary Scan (120) ou bien au chemin d'activation (150) du Boundary Scan, ou bien au contrôleur TAP (200).
6. Procédé selon l'une des revendications 4 ou 5, caractérisé en ce que le chemin d'activation (150) inclut au moins un canal (ATPG-Si) sur
30 lequel est placé au moins un point de mémorisation (140), ce canal étant apte à être relié en série avec la chaîne de Boundary Scan (120) lorsque

celle-ci est activée.

7. Procédé selon l'une des revendications précédentes, caractérisé en ce que les canaux d'entrée (Si), d'horloge (ck) et de configuration (Sh) de la chaîne de Boundary Scan (120) sont reliés à des portes logiques (210, 5 220, 230, 240, 250) qui sont aptes à relier, selon un signal de commande (ATPG-Mode), ces canaux (Si, ck, Sh) ou bien aux canaux d'entrée (Si), d'horloge (ck) et de configuration (Sh) du contrôleur TAP (200) ou bien aux canaux d'entrée (Si), d'horloge (ck) et de configuration (Sh) du chemin d'activation (150).

10 8. Procédé selon l'une des revendications précédentes, caractérisé en ce que tous les points de mémorisation (140) sont reliés en série.

9. Procédé selon l'une des revendications précédentes, caractérisé en ce qu'au moins une partie des entrées-sorties (100) du circuit intégré est connectée directement à un testeur apte à injecter directement dans 15 certaines de ces entrées-sorties (100) des signaux choisis, et/ou à recevoir directement de certaines de ces entrées-sorties (100) des signaux de sortie et à comparer ces signaux de sortie à des signaux attendus.

10. Procédé selon l'une des revendications précédentes en combinaison avec la revendication 9, caractérisé en ce que le testeur 20 d'injection et/ou de mesure directe est coordonné à un dispositif de commande de la chaîne de Boundary Scan (120) pour générer des vecteurs de test sur des ensembles comprenant à la fois des entrées-sorties (103) connectés directement au testeur et à la fois des entrées-sorties (105) connectées au testeur via la chaîne de Boundary Scan (120).

25 11. Procédé selon l'une des revendications précédentes, caractérisé en ce que le circuit comporte des accès (150) à l'ensemble de ses points de mémorisation (140) et en ce que le test est réalisé en commandant l'ensemble des points de mémorisation (140) de sorte que la fonction du circuit intégré se réduit à une fonction combinatoire.

30 12. Circuit intégré comportant une chaîne de Boundary Scan (120) et un chemin d'accès (150) à au moins un point de mémorisation (140),

caractérisé en ce que le chemin d'accès (150) et la chaîne de Boundary Scan (120) sont reliés en série et en ce que le circuit comporte des moyens (220,230,240,250) pour intervenir simultanément sur le ou les points de mémorisation (140) du chemin d'accès (150) et sur les cellules (110) de la chaîne de Boundary Scan (120).

13. Circuit intégré selon la revendication 12, caractérisé en ce que les moyens (220,230,240,250) pour intervenir simultanément sur le ou les points de mémorisation (140) du chemin d'accès (150) et sur les cellules (110) de la chaîne de Boundary Scan (120) comprennent au moins une porte logique (220,230,240,250) apte à relier la chaîne de Boundary Scan (120) ou bien au chemin d'accès (150), ou bien à un contrôleur TAP (200).

14. Circuit intégré selon la revendication 12 ou 13, caractérisé en ce que les canaux d'entrée (SI), d'horloge (CK) et de configuration (SHIFT) de la chaîne de Boundary Scan (120) sont reliés à des portes logiques (220,230,240,250) qui sont aptes à relier, selon un signal de commande (MODE), ces canaux ou bien aux canaux d'entrée (SI), d'horloge (CK) et de configuration (SHIFT) du contrôleur TAP (200), ou bien aux canaux d'entrée(ATPG_si), d'horloge (ATPG_ck) et de configuration (ATPG_se) du chemin d'accès (150).

15. Circuit intégré selon l'une des revendications 12 à 14, caractérisé en ce que tous les points de mémorisation (140) du circuit intégré sont reliés en série.

16. Testeur de circuit intégré, comprenant un premier module pour imposer et/ou lire des états de points de mémorisation (140) d'un circuit intégré, caractérisé en ce qu'il comporte un second module pour imposer des états et/ou lire des états de cellules d'entrée/sortie (110) par l'intermédiaire de la chaîne de Boundary Scan (120) du circuit simultanément à l'action du premier module.

17. Testeur de circuit intégré selon la revendication 16, caractérisé en ce qu'il est prévu pour injecter simultanément dans un circuit intégré des signaux de commande (SI) des points de mémorisation (140) et des signaux

de commande (SI) des entrées/sorties (110) du Boundary Scan (120).

18. Testeur selon la revendication 17, caractérisé en ce qu'il est prévu pour injecter les signaux de commande (51) des points de mémorisation (140) et les signaux de commande (51) des entrées/sorties s (110) du Boundary Scan (120) sur un même canal.

19. Testeur selon l'une quelconque des revendications 16 à 18, caractérisé en ce qu'il comporte une série de canaux aptes à être connectés directement à des entrées/sorties (103) d'un circuit intégré, et un module apte à injecter directement dans certaines de ces entrées/sorties (103) des 10 signaux choisis, et/ou à recevoir des signaux de sortie de ces entrées/sorties (103, 109) pour comparer ces signaux de sortie à des signaux attendus.

20. Testeur selon la revendication 19, caractérisé en ce qu'il comporte un dispositif de commande de la chaîne de Boundary Scan (120) 15 d'un circuit intégré coordonné au module d'injection/réception directe pour générer des vecteurs de test sur des ensembles comprenant à la fois des entrées-sorties (103) connectées directement au testeur et à la fois des entrées-sorties (105) connectées au testeur via la chaîne de Boundary Scan (120).

20 21. Testeur selon l'une des revendications 16 à 20, caractérisé en ce qu'il est apte à commander l'ensemble des points de mémorisation (140) de telle sorte que la fonction du circuit intégré se réduit à une fonction combinatoire pendant le test.

1/3

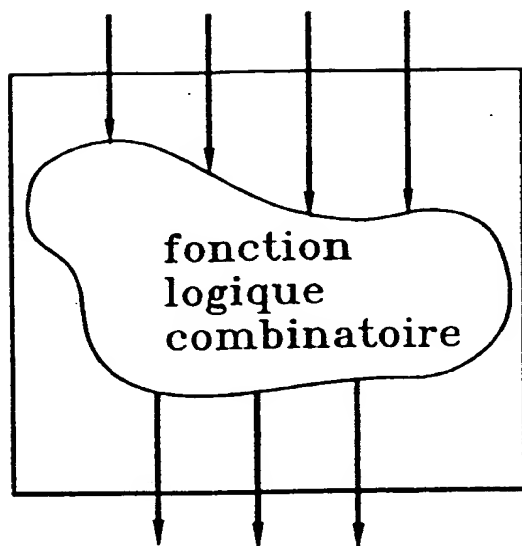


FIG. 1
Etat de la technique

FIG. 2
Etat de la technique

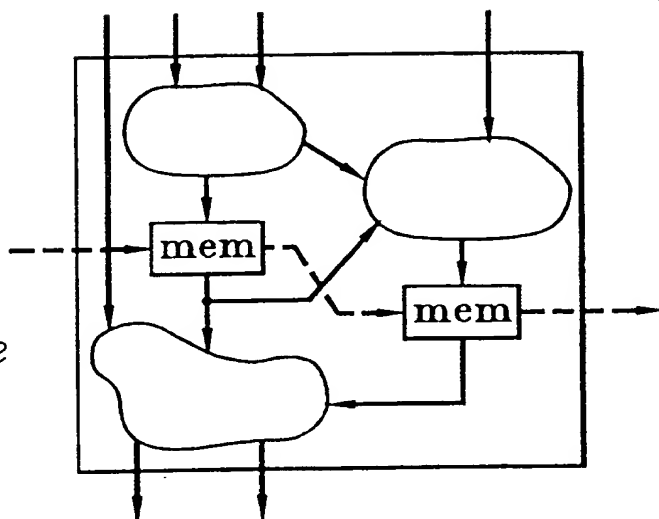
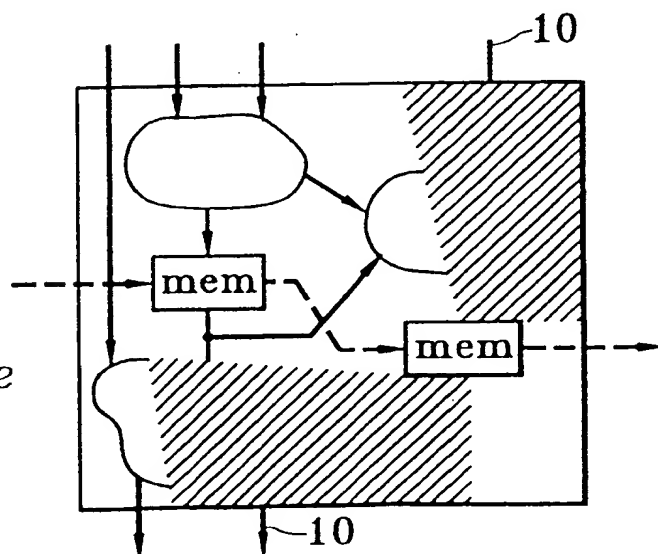
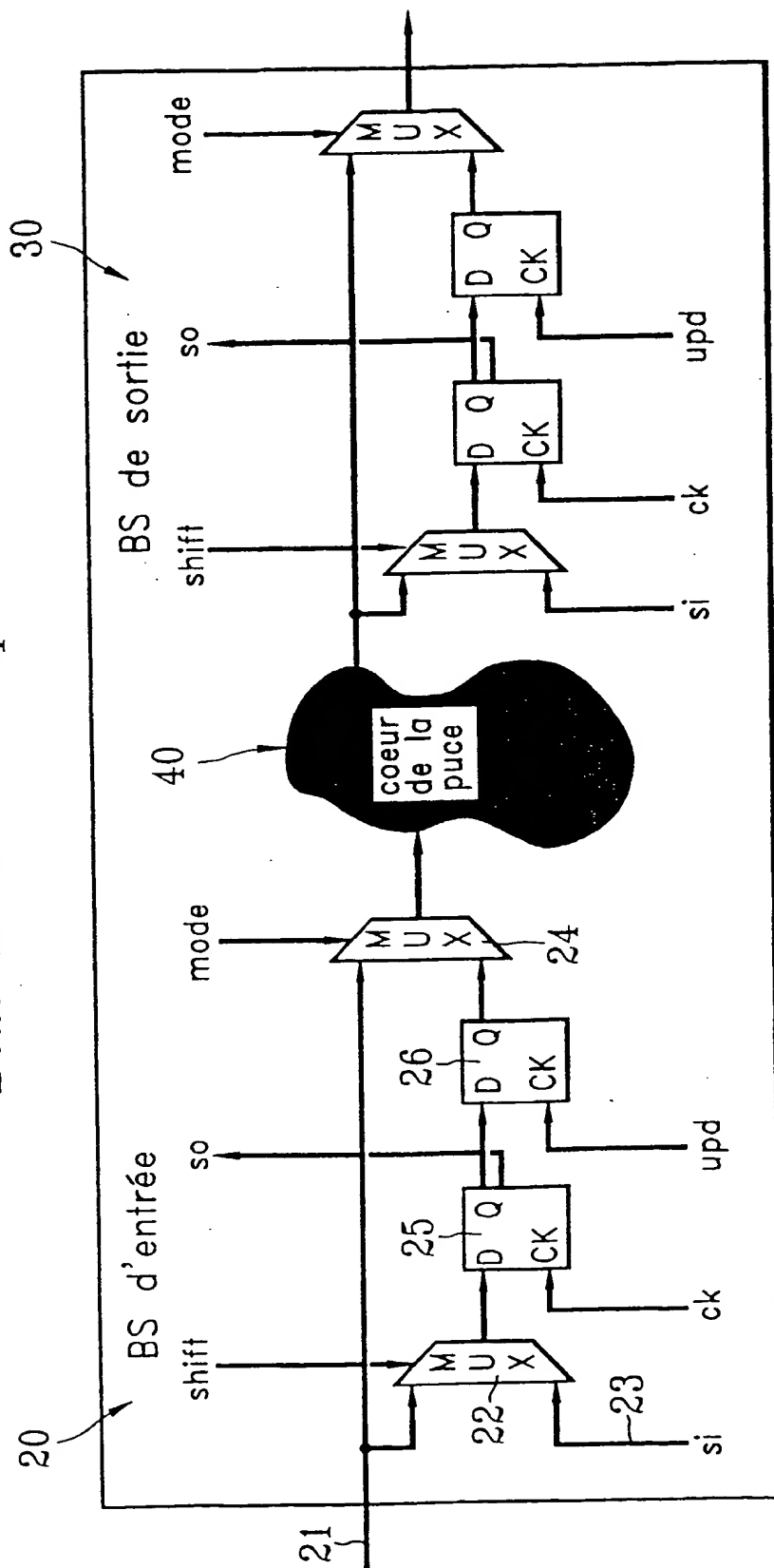


FIG. 3
Etat de la technique



2/3

FIG.4
Etat de la technique



3/3

FIG. 5

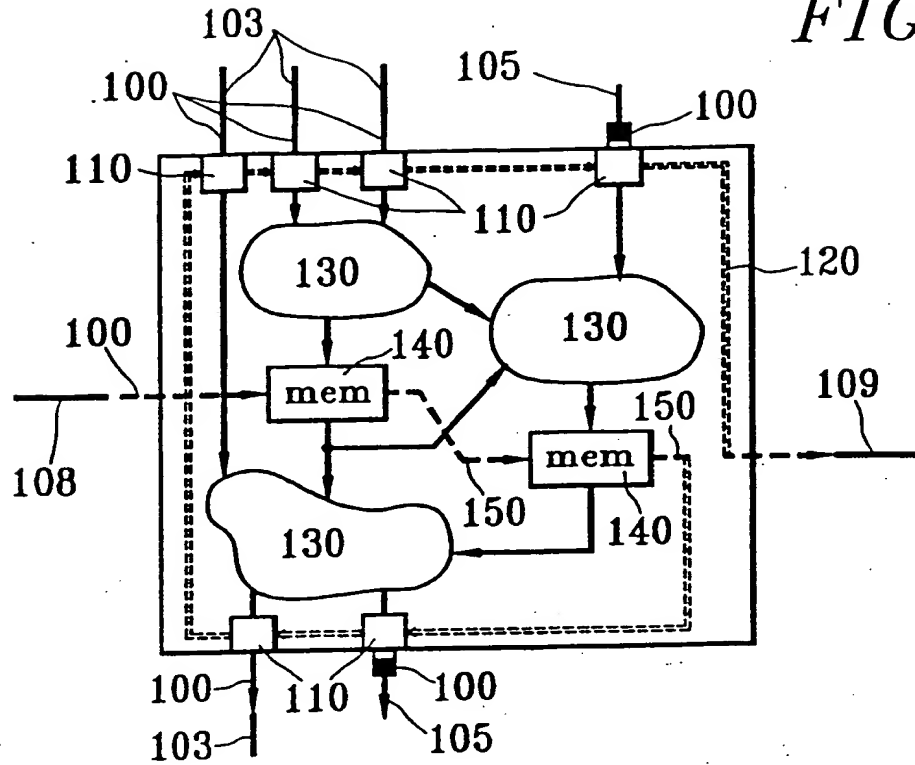
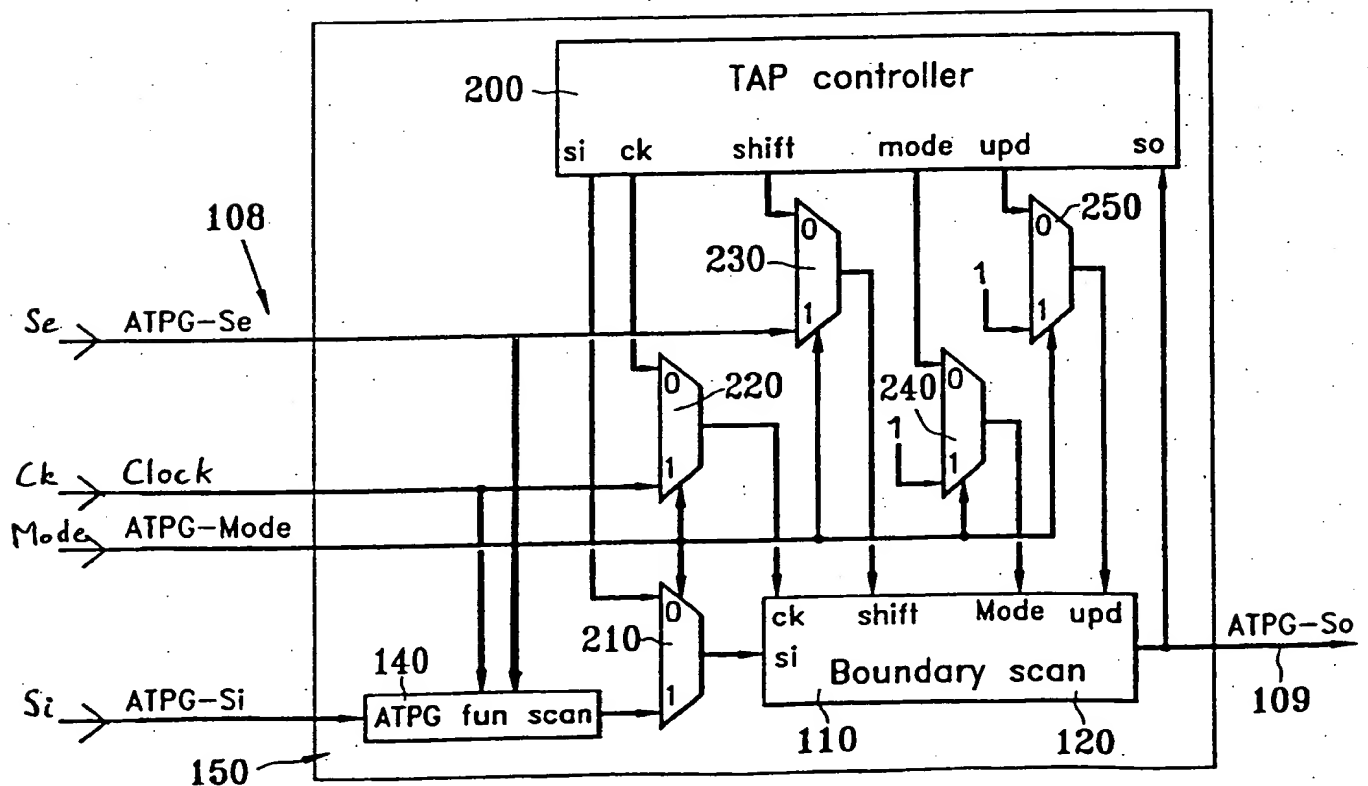


FIG. 6



RAPPORT DE RECHERCHE INTERNATIONALE

De  internationale No
PCT/FR 00/00559

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G01R31/3185

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G01R

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 850 513 A (JEPPESEN III JAMES HENRY ET AL) 15 décembre 1998 (1998-12-15) abrégé; revendications 1-6; figures 1,,3C -----	1-21

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 mai 2000

Date d'expédition du présent rapport de recherche internationale

24/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Sarasua, L.

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres des familles de brevets

De l'Organisation internationale No

PCT/FR 00/00559

Document brevet cité
au rapport de recherche

Date de
publication

Membre(s) de la
famille de brevet(s)

Date de
publication

US 5850513

A

15-12-1998

AUCUN

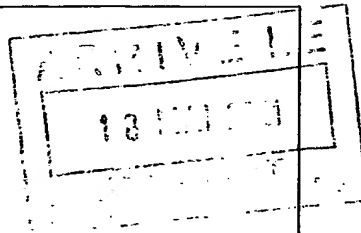
TRAITE DE COOPERATION EN MATIERE DE BREVETS

Expéditeur: L'ADMINISTRATION CHARGÉE DE
L'EXAMEN PRELIMINAIRE INTERNATIONAL

45

Destinataire:

MARTIN, Jean Jacques
CABINET REGIMBEAU
20, rue de Chazelles
F-75847 Paris Cedex 17
FRANCE



PCT

NOTIFICATION DE TRANSMISSION DU
RAPPORT D'EXAMEN PRELIMINAIRE
INTERNATIONAL
(règle 71.1 du PCT)

Date d'expédition
(jour/mois/année) 16.05.2001

Référence du dossier du déposant ou du mandataire
340644/17742

NOTIFICATION IMPORTANTE

Demande internationale No.
PCT/FR00/00559

Date du dépôt international (jour/mois/année)
07/03/2000

Date de priorité (jour/mois/année)
08/03/1999

Déposant
FRANCE TELECOM et al.

1. Il est notifié au déposant que l'administration chargée de l'examen préliminaire international a établi le rapport d'examen préliminaire international pour la demande internationale et le lui transmet ci-joint, accompagné, le cas échéant, de ces annexes.
2. Une copie du présent rapport et, le cas échéant, de ses annexes est transmise au Bureau international pour communication à tous les offices élus.
3. Si tel ou tel office élu l'exige, le Bureau international établira une traduction en langue anglaise du rapport (à l'exclusion des annexes de celui-ci) et la transmettra aux offices intéressés.

4. RAPPEL

Pour aborder la phase nationale auprès de chaque office élu, le déposant doit accomplir certains actes (dépôt de traduction et paiement des taxes nationales) dans le délai de 30 mois à compter de la date de priorité (ou plus tard pour ce qui concerne certains offices) (article 39.1) (voir aussi le rappel envoyé par le Bureau international dans le formulaire PCT/IB/301).

Lorsqu'une traduction de la demande internationale doit être remise à un office élu, elle doit comporter la traduction de toute annexe du rapport d'examen préliminaire international. Il appartient au déposant d'établir la traduction en question et de la remettre directement à chaque office élu intéressé.

Pour plus de précisions en ce qui concerne les délais applicables et les exigences des offices élus, voir le Volume II du Guide du déposant du PCT.

Nom et adresse postale de l'administration chargée de l'examen préliminaire international



Office européen des brevets
D-80298 Munich
Tél. +49 89 2399 - 0 Tx: 523656 epmu d
Fax: +49 89 2399 - 4465

Fonctionnaire autorisé

DEL FRATE, A

Tél. +49 89 2399-7038



INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00559

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 850 513 A (JEPPESEN III JAMES HENRY ET AL) 15 December 1998 (1998-12-15) abstract; claims 1-6; figures 1,,3C -----	1-21

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

16 May 2000

Date of mailing of the international search report

24/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Sarasua, L.

RAPPORT DE RECHERCHE INTERNATIONALE

De e internationale No

PCT/FR 00/00559

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G01R31/3185

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G01R

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 850 513 A (JEPPESEN III JAMES HENRY ET AL) 15 décembre 1998 (1998-12-15) abrégé; revendications 1-6; figures 1,,3C -----	1-21

☐ Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 mai 2000

Date d'expédition du présent rapport de recherche internationale

24/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Sarasua, L.

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/FR 00/00559

Patent document
cited in search report

Publication
date

Patent family
member(s)

Publication
date

US 5850513

A

15-12-1998

NONE

TRAITE DE COOPERATION EN MATIERE DE BREVETS

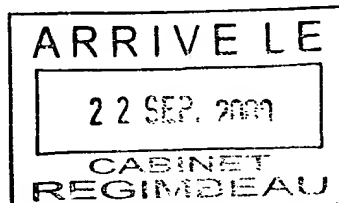
PCT

AVIS INFORMANT LE DEPOSANT DE LA COMMUNICATION DE LA DEMANDE INTERNATIONALE AUX OFFICES DESIGNES

(règle 47.1.c), première phrase, du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:
MARTIN, Jean-Jacques
Cabinet Regimbeau
26, avenue Kléber
F-75116 Paris
FRANCE



Date d'expédition (jour/mois/année) 14 septembre 2000 (14.09.00)		
Référence du dossier du déposant ou du mandataire 340644/17742		AVIS IMPORTANT
Demande internationale no PCT/FR00/00559	Date du dépôt international (jour/mois/année) 07 mars 2000 (07.03.00)	Date de priorité (jour/mois/année) 08 mars 1999 (08.03.99)
Déposant FRANCE TELECOM etc		

1. Il est notifié par la présente qu'à la date indiquée ci-dessus comme date d'expédition de cet avis, le Bureau international a communiqué, comme le prévoit l'article 20, la demande internationale aux offices désignés suivants:
KR,US

Conformément à la règle 47.1.c), troisième phrase, ces offices acceptent le présent avis comme preuve déterminante du fait que la communication de la demande internationale a bien eu lieu à la date d'expédition indiquée plus haut, et le déposant n'est pas tenu de remettre de copie de la demande internationale à l'office ou aux offices désignés.

2. Les offices désignés suivants ont renoncé à l'exigence selon laquelle cette communication doit être effectuée à cette date:
EP,JP

La communication sera effectuée seulement sur demande de ces offices. De plus, le déposant n'est pas tenu de remettre de copie de la demande internationale aux offices en question (règle 49.1)a-bis)).

3. Le présent avis est accompagné d'une copie de la demande internationale publiée par le Bureau international le 14 septembre 2000 (14.09.00) sous le numéro WO 00/54067

RAPPEL CONCERNANT LE CHAPITRE II (article 31.2)a) et règle 54.2)

Si le déposant souhaite reporter l'ouverture de la phase nationale jusqu'à 30 mois (ou plus pour ce qui concerne certains offices) à compter de la date de priorité, la demande d'examen préliminaire international doit être présentée à l'administration compétente chargée de l'examen préliminaire international avant l'expiration d'un délai de 19 mois à compter de la date de priorité.

Il appartient exclusivement au déposant de veiller au respect du délai de 19 mois.

Il est à noter que seul un déposant qui est ressortissant d'un Etat contractant du PCT lié par le chapitre II ou qui y a son domicile peut présenter une demande d'examen préliminaire international.

RAPPEL CONCERNANT L'OUVERTURE DE LA PHASE NATIONALE (article 22 ou 39.1))

Si le déposant souhaite que la demande internationale procède en phase nationale, il doit, dans le délai de 20 mois ou de 30 mois, ou plus pour ce qui concerne certains offices, accomplir les actes mentionnés dans ces dispositions auprès de chaque office désigné ou élu.

Pour d'autres informations importantes concernant les délais et les actes à accomplir pour l'ouverture de la phase nationale, voir l'annexe du formulaire PCT/IB/301 (Notification de la réception de l'exemplaire original) et le volume II du Guide du déposant du PCT.



Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse no de télécopieur (41-22) 740.14.35	Fonctionnaire autorisé J. Zahra no de téléphone (41-22) 338.83.38
-------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

RAPPORT D'EXAMEN PRELIMINAIRE INTERNATIONAL

(article 36 et règle 70 du PCT)

Référence du dossier du déposant ou du mandataire 340644/17742		POUR SUITE A DONNER voir la notification de transmission du rapport d'examen préliminaire international (formulaire PCT/IPEA/416)	
Demande internationale n° PCT/FR00/00559	Date du dépôt international (jour/mois/année) 07/03/2000	Date de priorité (jour/mois/année) 08/03/1999	
Classification internationale des brevets (CIB) ou à la fois classification nationale et CIB G01R31/3185			
Déposant FRANCE TELECOM et al.			
<p>1. Le présent rapport d'examen préliminaire international, établi par l'administration chargée de l'examen préliminaire international, est transmis au déposant conformément à l'article 36.</p> <p>2. Ce RAPPORT comprend 4 feuilles, y compris la présente feuille de couverture.</p> <p><input checked="" type="checkbox"/> Il est accompagné d'ANNEXES, c'est-à-dire de feuilles de la description, des revendications ou des dessins qui ont été modifiées et qui servent de base au présent rapport ou de feuilles contenant des rectifications faites auprès de l'administration chargée de l'examen préliminaire international (voir la règle 70.16 et l'instruction 607 des Instructions administratives du PCT).</p> <p>Ces annexes comprennent 3 feuilles.</p>			
<p>3. Le présent rapport contient des indications relatives aux points suivants:</p> <ul style="list-style-type: none"> I <input checked="" type="checkbox"/> Base du rapport II <input type="checkbox"/> Priorité III <input type="checkbox"/> Absence de formulation d'opinion quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle IV <input type="checkbox"/> Absence d'unité de l'invention V <input checked="" type="checkbox"/> Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration VI <input type="checkbox"/> Certains documents cités VII <input type="checkbox"/> Irrégularités dans la demande internationale VIII <input type="checkbox"/> Observations relatives à la demande internationale 			
Date de présentation de la demande d'examen préliminaire internationale 02/10/2000		Date d'achèvement du présent rapport 16.05.2001	
Nom et adresse postale de l'administration chargée de l'examen préliminaire international:  Office européen des brevets D-80298 Munich Tél. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465		Fonctionnaire autorisé Rath, R N° de téléphone +49 89 2399 8950 	

I. Base du rapport

1. En ce qui concerne les **éléments** de la demande internationale (*les feuilles de remplacement qui ont été remises à l'office récepteur en réponse à une invitation faite conformément à l'article 14 sont considérées dans le présent rapport comme "initialement déposées" et ne sont pas jointes en annexe au rapport puisqu'elles ne contiennent pas de modifications (règles 70.16 et 70.17)*):

Description, pages:

1-3,5-14	version initiale	
4,4a	reçue(s) avec télécopie du	12/04/2001

Revendications, N°:

15	reçue(s) avec télécopie du	12/04/2001
----	----------------------------	------------

Revendications, pages:

16-18	version initiale
-------	------------------

Dessins, feuilles:

1/3-3/3	version initiale
---------	------------------

2. En ce qui concerne la **langue**, tous les éléments indiqués ci-dessus étaient à la disposition de l'administration ou lui ont été remis dans la langue dans laquelle la demande internationale a été déposée, sauf indication contraire donnée sous ce point.

Ces éléments étaient à la disposition de l'administration ou lui ont été remis dans la langue suivante: , qui est :

- ☐ la langue d'une traduction remise aux fins de la recherche internationale (selon la règle 23.1(b)).
- ☐ la langue de publication de la demande internationale (selon la règle 48.3(b)).
- ☐ la langue de la traduction remise aux fins de l'examen préliminaire internationale (selon la règle 55.2 ou 55.3).

3. En ce qui concerne les **séquences de nucléotides ou d'acide aminés** divulguées dans la demande internationale (le cas échéant), l'examen préliminaire internationale a été effectué sur la base du listage des séquences :

- ☐ contenu dans la demande internationale, sous forme écrite.
- ☐ déposé avec la demande internationale, sous forme déchiffrable par ordinateur.
- ☐ remis ultérieurement à l'administration, sous forme écrite.

**RAPPORT D'EXAMEN
PRÉLIMINAIRE INTERNATIONAL**

Demande internationale n° PCT/FR00/00559

- ☐ remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.
- ☐ La déclaration, selon laquelle le listage des séquences par écrit et fourni ultérieurement ne va pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.
- ☐ La déclaration, selon laquelle les informations enregistrées sous déchiffrable par ordinateur sont identiques à celles du listage des séquences Présenté par écrit, a été fournie.

4. Les modifications ont entraîné l'annulation :

- ☐ de la description, pages :
- ☐ des revendications, n°s :
- ☐ des dessins, feuilles :

5. ☐ Le présent rapport a été formulé abstraction faite (de certaines) des modifications, qui ont été considérées comme allant au-delà de l'exposé de l'invention tel qu'il a été déposé, comme il est indiqué ci-après (règle 70.2(c)) :

(Toute feuille de remplacement comportant des modifications de cette nature doit être indiquée au point 1 et annexée au présent rapport)

6. Observations complémentaires, le cas échéant :

V. Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration

1. Déclaration

Nouveauté	Oui : Revendications 1-21
	Non : Revendications
Activité inventive	Oui : Revendications 1-21
	Non : Revendications
Possibilité d'application industrielle	Oui : Revendications 1-21
	Non : Revendications

2. Citations et explications
voir feuille séparée

On connaît deux principaux procédés pour tester des circuits intégrés logiques complexes:

- a) le procédé de génération automatique de vecteurs de test par chemin complet de balayage ou "full scan ATPG" en anglais est couramment utilisé pour tester la fabrication de puces;
- b) "JTAG Boundary scan" (balayage de la périphérie) et défini par le "Joint Test Action Group" est standard IEEE 1149.1.

On connaît également le US 5 850 513, un système permettant une vérification de données de fonctionnement d'un circuit, incluant un sous-système de maintenance, une mémoire flash, un contrôleur, une unité de traitement, un module mémoire principal, un réseau de chemin de données, des moyens formant bus dual, des moyens de contrôle logiques programmables, une buse de transfert auxiliaire de données, et une série de modules d'entrée/sortie.

L'ensemble de ces composants traite des blocs de données de micro codes. Les éléments tels qu'associés dans ce document, ne permet pas un test du circuit intégré sans connexions multiples. Ce document n'apporte donc pas de solution satisfaisante à la mise en oeuvre particulièrement longue des procédés de test habituels.

L'invention a pour but de résoudre ces différents inconvénients, en proposant un procédé de test de circuits intégrés ne nécessitant pas la connexion de toutes les entrées/sorties de ce circuit sur un testeur et permettant une zone étendue, voire l'ensemble du circuit, ce procédé pouvant en outre être réalisé beaucoup plus rapidement que les procédés de test connus.

La combinaison des caractéristiques de la revendication 1 n'est pas comprise dans l'état de la technique et n'en découle pas de manière évidente.

accessible depuis l'extérieur de la carte, par un même chemin depuis une borne spécifique de la carte, le transfert des données capturées ou à imposer s'effectuant en série dans ce chemin.

Par de telles dispositions, le Boundary Scan autorise également à
5 tester les interconnexions entre les circuits intégrés sur une carte. Dans ce cas, le vecteur de test est chargé en série dans le chemin de Boundary scan, puis émis sur les interconnexions à tester via des tampons de sortie des composants. Les résultats sont échantillonnés dans le Boundary scan, via les entrées des composants, puis sortis en série vers le testeur.

10 Dans un mode « test interne », adapté pour tester les composants eux-mêmes, un vecteur de test est chargé en série dans le chemin de Boundary Scan puis appliqué à la logique interne du circuit intégré. Le résultat est échantillonné dans le Boundary Scan Path, puis lu en série par le testeur.

15 Ce second procédé de test présente des inconvénients : il est de mise en œuvre particulièrement longue, notamment dans le mode interne où l'on teste les composants de la carte. De plus, ce procédé de test s'avère particulièrement inadapté au test des circuits intégrés avant leur montage, notamment pour tester les circuits intégrés comprenant des éléments de
20 mémorisation.



L'invention a pour but de résoudre ces différents inconvénients, en proposant un procédé de test de circuits intégrés ne nécessitant pas la connexion de toutes les entrées/sorties de ce circuit sur un testeur et permettant de tester une zone étendue, voire l'ensemble du circuit, ce
25 procédé pouvant en outre être réalisé beaucoup plus rapidement que les procédés de test connus.

En d'autres termes, l'invention se propose d'améliorer la couverture d'un test de fabrication de circuit intégré par rapport à la méthode connue d'ATPG full-scan, sans augmenter le nombre de canaux du testeur.

30 Ces buts sont atteints selon l'invention grâce à un procédé pour tester un circuit intégré comprenant des points de mémorisation et une chaîne de

→ 5

FEUILLE MODIFIEE

(A):

On connaît également de US 5 850 513, un système permettant une vérification de données de fonctionnement d'un circuit, incluant un sous-système de maintenance, une mémoire flash, un contrôleur, une unité de traitement, un module mémoire principal, un réseau de chemin de données, des moyens formant bus dual, des moyens de contrôle logiques programmables, un buse de transfert auxiliaire de données, et une série de modules d'entrée/sortie.

L'ensemble de ces composants traite des blocs de données de microcodes. Les éléments tels qu'associés dans ce document, ne permet pas un test du circuit intégré sans connexions multiples. Ce document n'apporte donc pas de solution satisfaisante à la mise en œuvre particulièrement longue des procédés de test habituels.

FEUILLE MODIFIEE

REVENDECATIONS

1. Procédé pour tester un circuit intégré comprenant des points de mémorisation (140) et une chaîne de Boundary Scan (120), dans lequel on écrit et/ou on lit sur les points de mémorisation (140) par l'intermédiaire d'un chemin d'accès (150) aux points de mémorisation (140) depuis une borne extérieure (108) du circuit, caractérisé en ce que l'on active la chaîne de Boundary Scan (120) pour imposer et/ou observer des niveaux logiques sur les entrées/sorties (120) du circuit intégré.

10 2. Procédé selon la revendication 1, caractérisé en ce que le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de Boundary Scan (120) sont activés simultanément.

3. Procédé selon la revendication 1 ou 2, caractérisé en ce que le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de Boundary Scan sont activés par l'intermédiaire d'une ligne comprenant en série le chemin d'accès (150) aux points de mémorisation (140) et la chaîne de Boundary Scan (120).

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'on active la chaîne de Boundary Scan (120) par l'intermédiaire d'un chemin d'activation (150) relié à la chaîne de Boundary Scan (120) en aval d'un contrôleur TAP (200).

5. Procédé selon la revendication 4, caractérisé en ce que le chemin d'activation (150) est relié à la chaîne de Boundary Scan (120) au moins par une porte logique (210, 220, 230, 240, 250) apte à relier, en fonction d'un signal de commande (ATPG-mode), la chaîne de Boundary Scan (120) ou bien au chemin d'activation (150) du Boundary Scan, ou bien au contrôleur TAP (200).

6. Procédé selon l'une des revendications 4 ou 5, caractérisé en ce que le chemin d'activation (150) inclut au moins un canal (ATPG-Si) sur lequel est placé au moins un point de mémorisation (140), ce canal étant apte à être relié en série avec la chaîne de Boundary Scan (120) lorsque

FEUILLE MODIFIEE

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 340644/17742	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/FR00/00559	International filing date (day/month/year) 07 March 2000 (07.03.00)	Priority date (day/month/year) 08 March 1999 (08.03.99)
International Patent Classification (IPC) or national classification and IPC G01R 31/3185		
Applicant FRANCE TELECOM		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.	
2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.	
<input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of <u>3</u> sheets.	
3. This report contains indications relating to the following items:	
I	<input checked="" type="checkbox"/> Basis of the report
II	<input type="checkbox"/> Priority
III	<input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
IV	<input type="checkbox"/> Lack of unity of invention
V	<input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
VI	<input type="checkbox"/> Certain documents cited
VII	<input type="checkbox"/> Certain defects in the international application
VIII	<input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 02 October 2000 (02.10.00)	Date of completion of this report 17 December 2001 (17.12.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/FR00/00559

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages 1-3, 5-14, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☒ the claims:
 pages _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages 15, filed with the letter of 12 April 2001 (12.04.2001)
- ☒ the drawings:
 pages 1/3-3/3, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/FR 00/00559

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-21	YES
	Claims		NO
Inventive step (IS)	Claims	1-21	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-21	YES
	Claims		NO

2. Citations and explanations

Two main methods for testing complex logical integrated circuits are known:

a) the method of automatically generating test vectors by full scan ATPG is currently used for testing microchip production;

b) JTAG Boundary scan, defined by the Joint Test Action Group, which is IEEE Standard 1149.1.

US 5 850 513 also describes a system for verifying circuit operating data, including a maintenance subsystem, a flash memory, a controller, a processing unit, a main memory module, a data path array, means forming dual busses, programmable logic control means, an auxiliary data transfer bus and a series of input/output modules.

This set of components processes microcode data blocks. The elements as combined in that document cannot be used to test the integrated circuit without multiple connections. That document does not, therefore, provide a satisfactory solution to implementing the usual test methods, which are particularly lengthy.

The aim of the invention is to solve these various shortcomings by proposing a method for testing integrated

circuits which does not require all the inputs/outputs of a circuit to be connected to a tester, and enables an extensive area, or even the whole circuit, to be tested. This method can furthermore be performed much faster than the known test methods.

The combination of features of Claim 1 is not contained in the prior art and does not follow obviously therefrom.

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

NOTIFICATION DE LA RECEPTION DE
L'EXEMPLAIRE ORIGINAL

(règle 24.2.a) du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

MARTIN, Jean-Jacques
Cabinet Regimbeau
26, avenue Kléber
F-75116 Paris
FRANCE

9.1 AVR. 2000

Date d'expédition (jour/mois/année) 03 avril 2000 (03.04.00)	NOTIFICATION IMPORTANTE
Référence du dossier du déposant ou du mandataire 340644/17742	Demande internationale no PCT/FR00/00559

Il est notifié au déposant que le Bureau international a reçu l'exemplaire original de la demande internationale précisée ci-après.

Nom(s) du ou des déposants et de l'Etat ou des Etats pour lesquels ils sont déposants:

FRANCE TELECOM (pour tous les Etats désignés sauf US)

BARTHEL, Dominique (pour US seulement)

Date du dépôt international : 07 mars 2000 (07.03.00)

Date(s) de priorité revendiquée(s) : 08 mars 1999 (08.03.99)

Date de réception de l'exemplaire original
par le Bureau international : 27 mars 2000 (27.03.00)

Liste des offices désignés :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE
National : JP, KR, US

ATTENTION

Le déposant doit soigneusement vérifier les indications figurant dans la présente notification. En cas de divergence entre ces indications et celles que contient la demande internationale, il doit aviser immédiatement le Bureau international.

En outre, l'attention du déposant est appelée sur les renseignements donnés dans l'annexe en ce qui concerne

- ☒ les délais dans lesquels doit être abordée la phase nationale
- ☒ la confirmation des désignations faites par mesure de précaution
- ☐ les exigences relatives aux documents de priorité.

Une copie de la présente notification est envoyée à l'office récepteur et à l'administration chargée de la recherche internationale.

<p>Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse</p> <p>n° de télécopieur (41-22) 740.14.35</p>	<p>Fonctionnaire autorisé</p> <p>Philippe Bécamel</p> <p>n° de téléphone (41-22) 338.83.38</p>
--------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------

RENSEIGNEMENTS CONCERNANT LES DELAIS DANS LESQUELS DOIT ETRE ABORDEE LA PHASE NATIONALE

Il est rappelé au déposant qu'il doit aborder la "phase nationale" auprès de chacun des offices désignés indiqués sur la notification de la réception de l'exemplaire original (formulaire PCT/IB/301) en payant les taxes nationales et en remettant les traductions, telles qu'elles sont prescrites par les législations nationales.

Le délai d'accomplissement de ces actes de procédure est de **20 MOIS** à compter de la date de priorité ou, pour les Etats désignés qui ont été élus par le déposant dans une demande d'examen préliminaire international ou dans une élection ultérieure, de **30 MOIS** à compter de la date de priorité, à condition que cette élection ait été effectuée avant l'expiration du 19^e mois à compter de la date de priorité. Certains offices désignés (ou élus) ont fixé des délais qui expirent au-delà de 20 ou 30 mois à compter de la date de priorité. D'autres offices accordent une prolongation des délais ou un délai de grâce, dans certains cas moyennant le paiement d'une taxe supplémentaire.

En plus de ces actes de procédure, le déposant devra dans certains cas satisfaire à d'autres exigences particulières applicables dans certains offices. Il appartient au déposant de veiller à remplir en temps voulu les conditions requises pour l'ouverture de la phase nationale. La majorité des offices désignés n'envoient pas de rappel à l'approche de la date limite pour aborder la phase nationale.

Des informations détaillées concernant les actes de procédure à accomplir pour aborder la phase nationale auprès de chaque office désigné, les délais applicables et la possibilité d'obtenir une prolongation des délais ou un délai de grâce et toutes autres conditions applicables figurent dans le volume II du Guide du déposant du PCT. Les exigences concernant le dépôt d'une demande d'examen préliminaire international sont exposées dans le chapitre IX du volume I du Guide du déposant du PCT.

GR et ES sont devenues liées par le chapitre II du PCT le 7 septembre 1996 et le 6 septembre 1997, respectivement, et peuvent donc être élues dans une demande d'examen préliminaire international ou dans une élection ultérieure présentée le 7 septembre 1996 (ou à une date postérieure) ou le 6 septembre 1997 (ou à une date postérieure), respectivement, quelle que soit la date de dépôt de la demande internationale (voir le second paragraphe, ci-dessus).

Veuillez noter que seul un déposant qui est ressortissant d'un Etat contractant du PCT lié par le chapitre II ou qui y a son domicile peut présenter une demande d'examen préliminaire international.

CONFIRMATION DES DESIGNATIONS FAITES PAR MESURE DE PRECAUTION

Seules les désignations expresses faites dans la requête conformément à la règle 4.9.a) figurent dans la présente notification. Il est important de vérifier si ces désignations ont été faites correctement. Des erreurs dans les désignations peuvent être corrigées lorsque des désignations ont été faites par mesure de précaution en vertu de la règle 4.9.b). Toute désignation ainsi faite peut être confirmée conformément aux dispositions de la règle 4.9.c) avant l'expiration d'un délai de 15 mois à compter de la date de priorité. En l'absence de confirmation, une désignation faite par mesure de précaution sera considérée comme retirée par le déposant. Il ne sera adressé aucun rappel ni invitation. Pour confirmer une désignation, il faut déposer une déclaration précisant l'Etat désigné concerné (avec l'indication de la forme de protection ou de traitement souhaitée) et payer les taxes de désignation et de confirmation. La confirmation doit parvenir à l'office récepteur dans le délai de 15 mois.

EXIGENCES RELATIVES AUX DOCUMENTS DE PRIORITE

Pour les déposants qui n'ont pas encore satisfait aux exigences relatives aux documents de priorité, il est rappelé ce qui suit.

Lorsque la priorité d'une demande nationale, régionale ou internationale antérieure est revendiquée, le déposant doit présenter une copie de cette demande antérieure, certifiée conforme par l'administration auprès de laquelle elle a été déposée ("document de priorité"), à l'office récepteur (qui la transmettra au Bureau international) ou directement au Bureau international, avant l'expiration d'un délai de 16 mois à compter de la date de priorité, étant entendu que tout document de priorité peut être présenté au Bureau international avant la date de publication de la demande internationale, auquel cas ce document sera réputé avoir été reçu par le Bureau international le dernier jour du délai de 16 mois (règle 17.1.a)).

Lorsque le document de priorité est délivré par l'office récepteur, le déposant peut, au lieu de présenter ce document, demander à l'office récepteur de le préparer et de le transmettre au Bureau international. La requête à cet effet doit être formulée avant l'expiration du délai de 16 mois et peut être soumise au paiement d'une taxe (règle 17.1.b)).

Si le document de priorité en question n'est pas fourni au Bureau international, ou si la demande adressée à l'office récepteur de préparer et de transmettre le document de priorité n'a pas été faite (et la taxe correspondante acquittée, le cas échéant) avant l'expiration du délai applicable mentionné aux paragraphes précédents, tout Etat désigné peut ne pas tenir compte de la revendication de priorité; toutefois, aucun office désigné ne peut décider de ne pas tenir compte de la revendication de priorité avant d'avoir donné au déposant la possibilité de remettre le document de priorité dans un délai raisonnable en l'espèce.

Lorsque plusieurs priorités sont revendiquées, la date de priorité à prendre en considération aux fins du calcul du délai de 16 mois est la date du dépôt de la demande la plus ancienne dont la priorité est revendiquée.

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

Expéditeur : le BUREAU INTERNATIONAL

NOTIFICATION RELATIVE
A LA PRESENTATION OU A LA TRANSMISSION
DU DOCUMENT DE PRIORITE

(instruction administrative 411 du PCT)

Destinataire:

MARTIN, Jean-Jacques
Cabinet Regimbeau
26, avenue Kléber
F-75116 Paris
FRANCE

Date d'expédition (jour/mois/année) 03 avril 2000 (03.04.00)	NOTIFICATION IMPORTANTE
Référence du dossier du déposant ou du mandataire 340644/17742	
Demande internationale no PCT/FR00/00559	
Date de publication internationale (jour/mois/année) Pas encore publiée	
Date du dépôt international (jour/mois/année) 07 mars 2000 (07.03.00)	
Date de priorité (jour/mois/année) 08 mars 1999 (08.03.99)	
Déposant FRANCE TELECOM etc	

- La date de réception (sauf lorsque les lettres "NR" figurent dans la colonne de droite) par le Bureau international du ou des documents de priorité correspondant à la ou aux demandes énumérées ci-après est notifiée au déposant. Sauf indication contraire consistant en un astérisque figurant à côté d'une date de réception, ou les lettres "NR", dans la colonne de droite, le document de priorité en question a été présenté ou transmis au Bureau international d'une manière conforme à la règle 17.1.a) ou b).
- Ce formulaire met à jour et remplace toute notification relative à la présentation ou à la transmission du document de priorité qui a été envoyée précédemment.
- Un **astérisque(*)** figurant à côté d'une date de réception dans la colonne de droite signale un document de priorité présenté ou transmis au Bureau international mais de manière non conforme à la règle 17.1.a) ou b). Dans ce cas, **l'attention du déposant est appelée** sur la règle 17.1.c) qui stipule qu'aucun office désigné ne peut décider de ne pas tenir compte de la revendication de priorité avant d'avoir donné au déposant la possibilité de remettre le document de priorité dans un délai raisonnable en l'espèce.
- Les **lettres "NR"** figurant dans la colonne de droite signalent un document de priorité que le Bureau international n'a pas reçu ou que le déposant n'a pas demandé à l'office récepteur de préparer et de transmettre au Bureau international, conformément à la règle 17.1.a) ou b), respectivement. Dans ce cas, **l'attention du déposant est appelée** sur la règle 17.1.c) qui stipule qu'aucun office désigné ne peut décider de ne pas tenir compte de la revendication de priorité avant d'avoir donné au déposant la possibilité de remettre le document de priorité dans un délai raisonnable en l'espèce.

<u>Date de priorité</u>	<u>Demande de priorité n°</u>	<u>Pays, office régional ou office récepteur selon le PCT</u>	<u>Date de réception du document de priorité</u>
08 mars 1999 (08.03.99) 99/02823		FR	27 mars 2000 (27.03.00)

Bureau international de l'OMPI
34, chemin des Colombettes
1211 Genève 20, Suisse

Fonctionnaire autorisé:

Philippe Bécamel

no de télécopieur (41-22) 740.14.35

no de téléphone (41-22) 338.83.38

PCT

REQUÊTE

Le soussigné requiert que la présente demande internationale soit traitée conformément au Traité de coopération en matière de brevets.

Réservé à l'office récepteur

Demande internationale n°

Date du dépôt international

Nom de l'office récepteur et "Demande internationale PCT"

Référence du dossier du déposant ou du mandataire (facultatif)
(12 caractères au maximum) 340644/17742

Cadre n° I TITRE DE L'INVENTION PROCÉDE DE TEST DE CIRCUITS INTEGRES AVEC ACCES A DES POINTS DE MEMORISATION DU CIRCUIT

Cadre n° II DÉPOSANT

Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays. Le pays de l'adresse indiquée dans ce cadre est l'État où le déposant a son domicile si aucun domicile n'est indiqué ci-dessous.)

FRANCE TELECOM
6 Place d'Alleray
75015 PARIS
FRANCE

☐ Cette personne est aussi inventeur.

n° de téléphone

n° de télécopieur

n° de téléimprimeur

Nationalité (nom de l'État) :
FR

Domicile (nom de l'État) :
FR

Cette personne est déposant pour :

☐ tous les États désignés

☒ tous les États désignés sauf les États-Unis d'Amérique

☐ les États-Unis d'Amérique seulement

☐ les États indiqués dans le cadre supplémentaire

Cadre n° III AUTRE(S) DÉPOSANT(S) OU (AUTRE(S)) INVENTEUR(S)

Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays. Le pays de l'adresse indiquée dans ce cadre est l'État où le déposant a son domicile si aucun domicile n'est indiqué ci-dessous.)

BARTHEL Dominique
161 Chemin du Ballois
38190 BERNIN
FRANCE

Cette personne est :

☐ déposant seulement

☒ déposant et inventeur

☐ inventeur seulement
(Si cette case est cochée, ne pas remplir la suite.)

Nationalité (nom de l'État) :
FR

Domicile (nom de l'État) :
FR

Cette personne est déposant pour :

☐ tous les États désignés

☐ tous les États désignés sauf les États-Unis d'Amérique

☒ les États-Unis d'Amérique seulement

☐ les États indiqués dans le cadre supplémentaire

☐ D'autres déposants ou inventeurs sont indiqués sur une feuille annexe.

Cadre n° IV MANDATAIRE OU REPRÉSENTANT COMMUN; OU ADRESSE POUR LA CORRESPONDANCE

La personne dont l'identité est donnée ci-dessous est/a été désignée pour agir au nom du ou des déposants auprès des autorités internationales compétentes, comme :

☒ mandataire

☐ représentant commun

Nom et adresse : (Nom de famille suivi du prénom; pour une personne morale, désignation officielle complète. L'adresse doit comprendre le code postal et le nom du pays.)

MARTIN Jean-Jacques, SCHRIMPF Robert, AHNER Francis,
WARCOIN Jacques, TEXIER Christian, LE FORESTIER Eric
CABINET REGIMBEAU
26 Avenue Kléber
75116 PARIS
FRANCE

n° de téléphone

01 45 00 92 02

n° de télécopieur

01 45 00 46 12

n° de téléimprimeur

☐ Adresse pour la correspondance : cocher cette case lorsque aucun mandataire ni représentant commun n'est/n'a été désigné et que l'espace ci-dessus est utilisé pour indiquer une adresse spéciale à laquelle la correspondance doit être envoyée.

Cadre n° V DÉSIGNATION D'ÉTATS

Les désignations suivantes sont faites conformément à la règle 4.9.a) (cocher les cases appropriées; une au moins doit l'être) :

Brevet régional

- ☐ **AP** Brevet ARIPO : GH Ghana, GM Gambie, KE Kenya, LS Lesotho, MW Malawi, SD Soudan, SL Sierra Leone, SZ Swaziland, TZ République-Unie de Tanzanie, UG Ouganda, ZW Zimbabwe et tout autre État qui est un État contractant du Protocole de Harare et du PCT
- ☐ **EA** Brevet eurasien : AM Arménie, AZ Azerbaïdjan, BY Bélarus, KG Kirghizistan, KZ Kazakhstan, MD République de Moldova, RU Fédération de Russie, TJ Tadjikistan, TM Turkménistan et tout autre État qui est un État contractant de la Convention sur le brevet eurasien et du PCT
- ☒ **EP** Brevet européen : AT Autriche, BE Belgique, CH et LI Suisse et Liechtenstein, CY Chypre, DE Allemagne, DK Danemark, ES Espagne, FI Finlande, FR France, GB Royaume-Uni, GR Grèce, IE Irlande, IT Italie, LU Luxembourg, MC Monaco, NL Pays-Bas, PT Portugal, SE Suède et tout autre État qui est un État contractant de la Convention sur le brevet européen et du PCT
- ☐ **OA** Brevet OAPI : BF Burkina Faso, BJ Bénin, CF République centrafricaine, CG Congo, CI Côte d'Ivoire, CM Cameroun, GA Gabon, GN Guinée, GW Guinée-Bissau, ML Mali, MR Mauritanie, NE Niger, SN Sénégal, TD Tchad, TG Togo et tout autre État qui est un État membre de l'OAPI et un État contractant du PCT (si une autre forme de protection ou de traitement est souhaitée, le préciser sur la ligne pointillée)


Brevet national (si une autre forme de protection ou de traitement est souhaitée, le préciser sur la ligne pointillée) :

- | | |
|-------------------------------------------------------------------------------|--------------------------------------------------------------------------|
| <input type="checkbox"/> AE Émirats arabes unis | <input type="checkbox"/> LR Liberia |
| <input type="checkbox"/> AL Albanie | <input type="checkbox"/> LS Lesotho |
| <input type="checkbox"/> AM Arménie | <input type="checkbox"/> LT Lituanie |
| <input type="checkbox"/> AT Autriche | <input type="checkbox"/> LU Luxembourg |
| <input type="checkbox"/> AU Australie | <input type="checkbox"/> LV Lettonie |
| <input type="checkbox"/> AZ Azerbaïdjan | <input type="checkbox"/> MA Maroc |
| <input type="checkbox"/> BA Bosnie-Herzégovine | <input type="checkbox"/> MD République de Moldova |
| <input type="checkbox"/> BB Barbade | <input type="checkbox"/> MG Madagascar |
| <input type="checkbox"/> BG Bulgarie | <input type="checkbox"/> MK Ex-République yougoslave de Macédoine |
| <input type="checkbox"/> BR Brésil | <input type="checkbox"/> MN Mongolie |
| <input type="checkbox"/> BY Bélarus | <input type="checkbox"/> MW Malawi |
| <input type="checkbox"/> CA Canada | <input type="checkbox"/> MX Mexique |
| <input type="checkbox"/> CH et LI Suisse et Liechtenstein | <input type="checkbox"/> NO Norvège |
| <input type="checkbox"/> CN Chine | <input type="checkbox"/> NZ Nouvelle-Zélande |
| <input type="checkbox"/> CR Costa Rica | <input type="checkbox"/> PL Pologne |
| <input type="checkbox"/> CU Cuba | <input type="checkbox"/> PT Portugal |
| <input type="checkbox"/> CZ République tchèque | <input type="checkbox"/> RO Roumanie |
| <input type="checkbox"/> DE Allemagne | <input type="checkbox"/> RU Fédération de Russie |
| <input type="checkbox"/> DK Danemark | <input type="checkbox"/> SD Soudan |
| <input type="checkbox"/> DM Dominique | <input type="checkbox"/> SE Suède |
| <input type="checkbox"/> EE Estonie | <input type="checkbox"/> SG Singapour |
| <input type="checkbox"/> ES Espagne | <input type="checkbox"/> SI Slovénie |
| <input type="checkbox"/> FI Finlande | <input type="checkbox"/> SK Slovaquie |
| <input type="checkbox"/> GB Royaume-Uni | <input type="checkbox"/> SL Sierra Leone |
| <input type="checkbox"/> GD Grenade | <input type="checkbox"/> TJ Tadjikistan |
| <input type="checkbox"/> GE Géorgie | <input type="checkbox"/> TM Turkménistan |
| <input type="checkbox"/> GH Ghana | <input type="checkbox"/> TR Turquie |
| <input type="checkbox"/> GM Gambie | <input type="checkbox"/> TT Trinité-et-Tobago |
| <input type="checkbox"/> HR Croatie | <input type="checkbox"/> TZ République-Unie de Tanzanie |
| <input type="checkbox"/> HU Hongrie | <input type="checkbox"/> UA Ukraine |
| <input type="checkbox"/> ID Indonésie | <input type="checkbox"/> UG Ouganda |
| <input type="checkbox"/> IL Israël | <input checked="" type="checkbox"/> US États-Unis d'Amérique |
| <input type="checkbox"/> IN Inde | <input type="checkbox"/> UZ Ouzbékistan |
| <input type="checkbox"/> IS Islande | <input type="checkbox"/> VN Viet Nam |
| <input checked="" type="checkbox"/> JR Japon | <input type="checkbox"/> YU Yougoslavie |
| <input type="checkbox"/> KE Kenya | <input type="checkbox"/> ZA Afrique du Sud |
| <input type="checkbox"/> KG Kirghizistan | <input type="checkbox"/> ZW Zimbabwe |
| <input type="checkbox"/> KP République populaire démocratique de Corée | |
| <input checked="" type="checkbox"/> KR République de Corée | |
| <input type="checkbox"/> KZ Kazakhstan | |
| <input type="checkbox"/> LC Sainte-Lucie | |
| <input type="checkbox"/> LK Sri Lanka | |

Cases réservées pour la désignation d'États qui sont devenus parties au PCT après la publication de la présente feuille :

- ☐
- ☐

Déclaration concernant les désignations de précaution : outre les désignations faites ci-dessus, le déposant fait aussi conformément à la règle 4.9.b) toutes les désignations qui seraient autorisées en vertu du PCT, à l'exception de toute désignation indiquée dans le cadre supplémentaire comme étant exclue de la portée de cette déclaration. Le déposant déclare que ces désignations additionnelles sont faites sous réserve de confirmation et que toute désignation qui n'est pas confirmée avant l'expiration d'un délai de 15 mois à compter de la date de priorité doit être considérée comme retirée par le déposant à l'expiration de ce délai. (La confirmation (y compris les taxes) doit parvenir à l'office récepteur dans le délai de 15 mois.)

Cadre n° VI REVENDECTION PRIORITY		<input type="checkbox"/> Les revendications de priorité sont indiquées dans le cadre supplémentaire.		
Date de dépôt de la demande antérieure (jour/mois/année)	Numéro de la demande antérieure	Lorsque la demande antérieure est une :		
		demande nationale : pays	demande régionale : * office régional	demande internationale : office récepteur
(1) 08/03/99	99 02823	FRANCE		
(2)				
(3)				
<input checked="" type="checkbox"/> L'office récepteur est prié de préparer et de transmettre au Bureau international une copie certifiée conforme de la ou des demandes antérieures (seulement si la demande antérieure a été déposée auprès de l'office qui, aux fins de la présente demande internationale, est l'office récepteur) indiquées ci-dessus au(x) point(s) : <u>VI</u>				
* Si la demande antérieure est une demande ARIPO, il est obligatoire d'indiquer dans le cadre supplémentaire au moins un pays partie à la Convention de Paris pour la protection de la propriété industrielle pour lequel cette demande antérieure a été déposée (règle 4.10.b)ii). Voir le cadre supplémentaire.				
Cadre n° VII ADMINISTRATION CHARGÉE DE LA RECHERCHE INTERNATIONALE				
Choix de l'administration chargée de la recherche internationale (ISA) (si plusieurs administrations chargées de la recherche internationale sont compétentes pour procéder à la recherche internationale, indiquer l'administration choisie; le code à deux lettres peut être utilisé) :		Demande d'utilisation des résultats d'une recherche antérieure; mention de cette recherche (si une recherche antérieure a été effectuée par l'administration chargée de la recherche internationale ou demandée à cette dernière) :		
ISA / EP		Date (jour/mois/année)	Numéro	Pays (ou office régional)
		18 Novembre 1999	FA 569779	OEB
Cadre n° VIII BORDEREAU; LANGUE DE DÉPÔT				
La présente demande internationale contient le nombre de feuilles suivant : requête : 3 description (sauf partie réservée au listage des séquences) : 14 revendications : 4 abrégé : 1 dessins : 3 partie de la description réservée au listage des séquences : _____ Nombre total de feuilles : 25		Le ou les éléments cochés ci-après sont joints à la présente demande internationale : 1. <input type="checkbox"/> feuille de calcul des taxes 2. <input type="checkbox"/> pouvoir distinct signé <u>à suivre (2)</u> 3. <input type="checkbox"/> copie du pouvoir général; numéro de référence, le cas échéant : 4. <input type="checkbox"/> explication de l'absence d'une signature 5. <input checked="" type="checkbox"/> document(s) de priorité indiqué(s) dans le cadre n° VI au(x) point(s) : 6. <input type="checkbox"/> traduction de la demande internationale en (langue) : 7. <input type="checkbox"/> indications séparées concernant des micro-organismes ou autre matériel biologique déposés 8. <input type="checkbox"/> listage des séquences de nucléotides ou d'acides aminés sous forme déchiffrable par ordinateur 9. <input checked="" type="checkbox"/> autres éléments (préciser) : Copie du Rapport de Recherche		
Figure des dessins qui doit accompagner l'abrégé : 5		Langue de dépôt de la demande internationale : Français		
Cadre n° IX SIGNATURE DU DÉPOSANT OU DU MANDATAIRE				
À côté de chaque signature indiquer le nom du signataire et, si cela n'apparaît pas clairement à la lecture de la requête, à quel titre l'intéressé signe.				
 TEXIER Christian		CABINET REGIMBEAU CONSEILS EN PROPRIÉTÉ INDUSTRIELLE 26, Avenue Kléber 75116 PARIS FRANCE		

Réservé à l'office récepteur		Réservé au Bureau international	
1. Date effective de réception des pièces supposées constituer la demande internationale :	2. Dessins :		
3. Date effective de réception, rectifiée en raison de la réception ultérieure, mais dans les délais, de documents ou de dessins complétant ce qui est supposé constituer la demande internationale :	<input type="checkbox"/> reçus :		
4. Date de réception, dans les délais, des corrections demandées selon l'article 11.2) du PCT :	<input type="checkbox"/> non reçus :		
5. Administration chargée de la recherche internationale (si plusieurs sont compétentes) : ISA /	6. <input type="checkbox"/> Transmission de la copie de recherche différée jusqu'au paiement de la taxe de recherche.		
Date de réception de l'exemplaire original par le Bureau international :			

*Not entered
Not page for page*

00/936487

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC03 Rec'd PCT/PTO 10 SEP 2001

Application No. :

U.S. National Serial No. :

Filed :

PCT International Application No. : PCT/FR00/00559

VERIFICATION OF A TRANSLATION

I, Susan POTTS BA ACIS

Director to RWS Group plc, of Europa House, Marsham Way, Gerrards Cross, Buckinghamshire, England declare:

That the translator responsible for the attached translation is knowledgeable in the French language in which the below identified international application was filed, and that, to the best of RWS Group plc knowledge and belief, the English translation of the amended sheets of the international application No. PCT/FR00/00559 is a true and complete translation of the amended sheets of the above identified international application as filed.

I hereby declare that all the statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the patent application issued thereon.

Date: August 17, 2001

Signature of Director :



For and on behalf of RWS Group plc

Post Office Address :

Europa House, Marsham Way,
Gerrards Cross, Buckinghamshire,
England.

5

10

15

20

accessible from outside the board, via one and the same
path from a specific terminal of the board, the
25 transfer of the data sensed or to be imposed taking
place in series in this path.

Through such arrangements, the Boundary Scan also
permits the testing of the interconnections between the
30 integrated circuits on a board. In this case, the test
vector is loaded serially into the Boundary Scan path,
then sent to the interconnections to be tested via
output buffers of the components. The results are
sampled in the Boundary Scan, via the inputs of the
35 components, then output serially to the tester.

In an "internal test" mode, adapted for testing the
components themselves, a test vector is loaded in

series in the Boundary Scan path and then applied to the internal logic of the integrated circuit. The result is sampled in the Boundary Scan path, then read serially by the tester.

5

This second test process has drawbacks: it is especially lengthy to implement, particularly in the internal mode where the components of the board are tested. Moreover, this test process turns out to be especially unsuitable for the testing of integrated circuits before they are mounted, in particular for testing integrated circuits which comprise memory elements.

10
15 US 5 850 513 also discloses a system allowing the checking of operational data of a circuit, including a maintenance subsystem, a flash memory, a controller, a processing unit, a main memory module, a data path network, means forming a dual bus, programmable logic control means, an auxiliary data transfer nozzle, and a series of input/output modules.

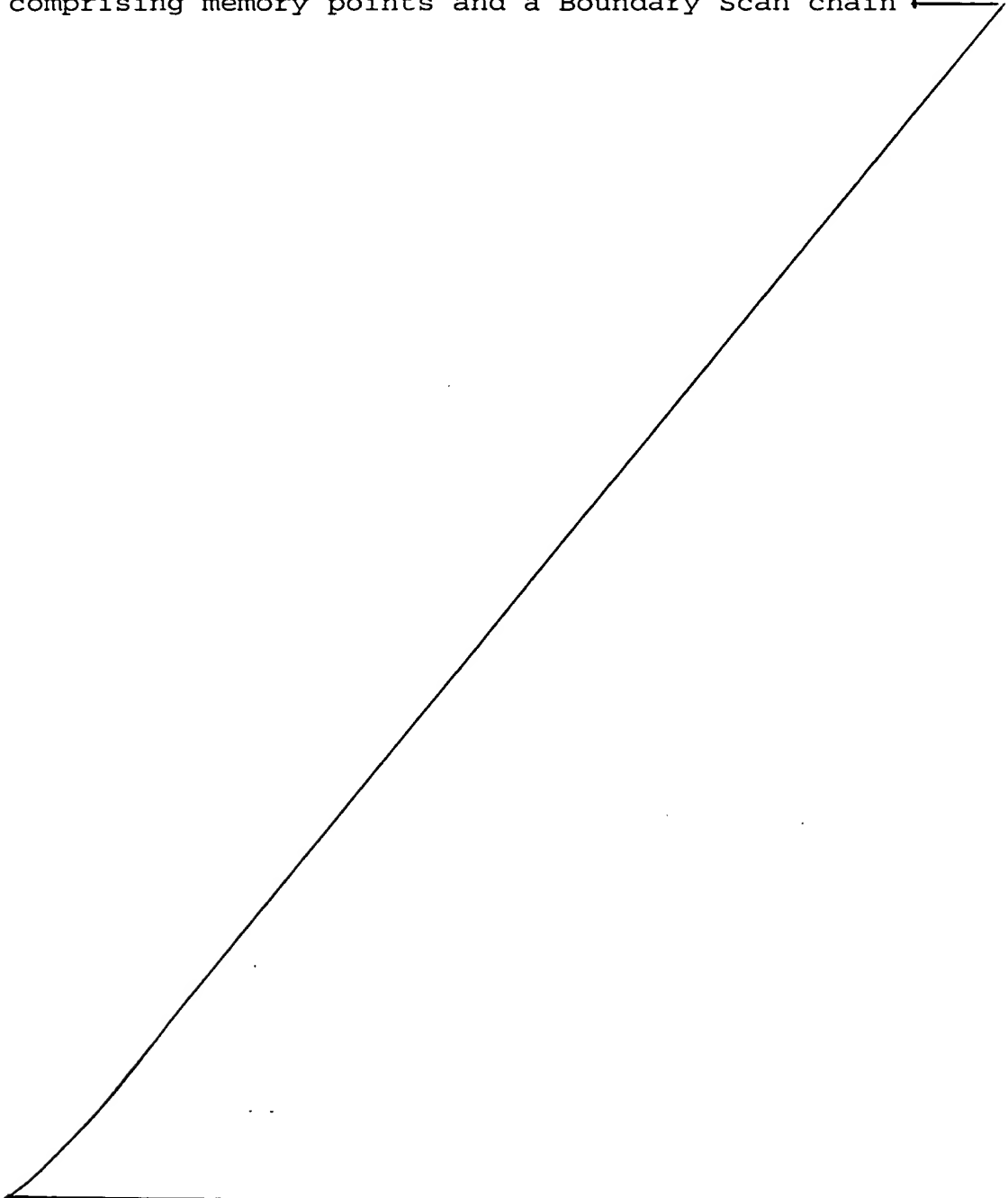
25 Together, these components process blocks of data of microcodes. The elements such as associated in this document, do not allow testing of the integrated circuit without multiple connections. This document does not therefore afford a satisfactory solution to the particularly lengthy implementation of customary testing processes.

30

The aim of the invention is to resolve these various drawbacks, by proposing a process for testing integrated circuits not requiring the connection of all the inputs/outputs of this circuit to a tester and making it possible to test an extended area, or even the entire circuit, it being possible moreover for this process to be carried out much faster than the known test processes.

Stated otherwise, the invention proposes to improve the coverage of an integrated circuit fabrication test as compared with the known full-scan ATPG method, without
5 increasing the number of channels of the tester.

These aims are achieved according to the invention by virtue of a process for testing an integrated circuit comprising memory points and a Boundary Scan chain



CLAIMS

1. Process for testing an integrated circuit comprising memory points (140) and a Boundary Scan chain (120), in which one writes and/or reads to and/or
5 from the memory points (140) by way of an access path (150) to the memory points (140) from an outside terminal (108) of the circuit, characterized in that the Boundary Scan chain (120) is activated so as to impose and/or observe logic levels on the
10 inputs/outputs (110) of the integrated circuit.

2. Process according to claim 1, characterized in that the access path (150) to the memory points (140) and the Boundary Scan chain (120) are activated
15 simultaneously.

3. Process according to claim 1 or 2, characterized in that the access path (150) to the memory points (140) and the Boundary Scan chain are activated by way
20 of a line comprising in series the access path (150) to the memory points (140) and the Boundary Scan chain (120).

4. Process according to any one of claims 1 to 3,
25 characterized in that the Boundary Scan chain (120) is activated by way of an activation path (150) linked to the Boundary Scan chain (120) downstream of a TAP controller (200).

30 5. Process according to claim 4, characterized in that the activation path (150) is linked to the Boundary Scan chain (120) at least by a logic gate (210, 220, 230, 240, 250) able to link, as a function of a control signal (ATPG-mode), the Boundary Scan
35 chain (120) or else to the activation path (150) of the Boundary Scan, or else to the TAP controller (200).

6. Process according to either of claims 4 and 5,

characterized in that the activation path (150)
includes at least one channel (ATPG-Si) on which is
placed at least one memory point (140), this channel
being able to be linked in series with the Boundary
5 Scan chain (120) when

